

## 5 Feldeffekt-Transistoren

Feldeffekttransistoren (FET) sind Unipolartransistoren. Die Steuerung und der Stromfluss erfolgt nur mit Majoritätsträgern. Die Leitfähigkeit im Transistor wird durch ein elektrisches Feld gesteuert. Es beeinflusst den Querschnitt des Leitungskanals oder die Leitfähigkeit des Halbleitermaterials. Beides sind grundsätzliche verschiedene Wirkungsmechanismen.

Die Entwicklung des FET geht auf Patente von O. Heil und J. Lilienthal in den Jahren 1928-1939 zurück. Mit der damals zur Verfügung stehenden Technologie konnten die FETs aber nicht realisiert werden.

FET sind spannungsgesteuerte Elemente und sind daher im Prinzip leistungslos steuerbar.

Kennzeichnend für alle FET ist der sehr hohe Eingangswiderstand im Bereich  $10\text{M}\Omega$  bis  $\text{G}\Omega$ . Die Basismaterialien sind vorwiegend Si und GaAs, jedoch auch Ge und SiC.

Man unterscheidet je nach Technologie folgende FET:

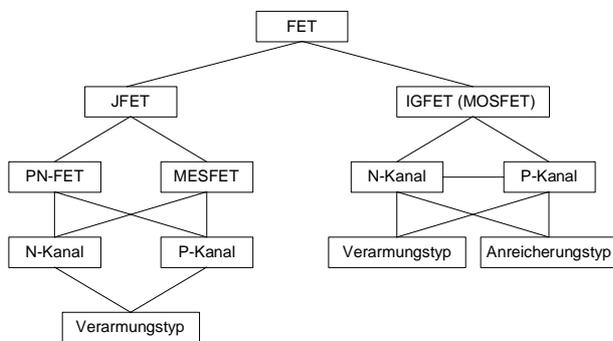


Bild 5-1: Übersicht über die verschiedenen Arten von Feldeffekt-Transistoren. Die Aufzählung der Technologien ist nicht vollständig, zeigt aber die meist verwendeten Arten.

### JFET:

Junction-FET oder auch PN-FET genannt. Das Gate wird durch in Sperrrichtung betriebene Gatediode dargestellt. Je nach Technologie des Gate unterscheidet man zwischen einem PN-Übergang (PN-FET) oder einem Metall-Halbleiter-Kontakt (MESFET). Anreicherungstypen sind mit den klassischen Halbleitermaterialien nicht möglich. Neuerdings sind auf der Basis SiC JFET-Anreicherungstypen als Labormuster erhältlich.

### IGFET:

Sie werden auch Isolated Gate FET oder MOSFET (Metal Oxide Semiconductor FET) genannt. Das Gate wird durch eine sehr dünne Isolationsschicht vom Kanal isoliert. IGFET werden sowohl für Kleinsignalanwendungen wie auch für Leistungsstufen verwendet.

Als Basismaterial wird hauptsächlich Silizium verwendet. Germanium wurde in der Anfangszeit auch verwendet. Wegen der schlechten Reststromeigenschaften wurde es aber vollständig durch Silizium abgelöst. Für Hochfrequenzanwendungen werden oft MESFET in Gallium-Arsenid Technologie verwendet. Anfänglich war der Herstellungsprozess problematisch und sehr teuer. Mittlerweile sind aber GaAs-FET nicht viel teurer als Si-FET.

Als Spezialfall sind die sog. IGBT (Isolated Gate Bipolar Transistor) zu sehen. Sie verkörpern eine Kombination von IGFET und Bipolartransistor. Sie werden vor allem als Schalterelemente in der Leistungselektronik verwendet. Sie vereinen einige der Vorteile beider Transistortechnologien.

FET werden praktisch in allen Bereichen eingesetzt, die auch Bipolartransistoren abdecken können: Verstärker, Konstantstromquellen und Schalter. Trotzdem sind FET nicht als Ersatz für Bipolartransistoren anzusehen.

## 5.1 Junction-FET (JFET)

JFET werden als Verstärker, Konstantstromquellen, elektrisch steuerbare Widerstände oder Schalter eingesetzt. Sie werden vor allem für Kleinsignalanwendungen eingesetzt. Der Einsatzbereich erstreckt sich von Gleichstromanwendungen bis in den GHz-Bereich.

Wegen des hohen Eingangswiderstandes werden JFET dort eingesetzt, wo schaltungsmässig ein grosser Eingangswiderstand erwünscht ist. Ferner haben sie unter bestimmten Betriebsbedingungen ein günstigeres Rauschverhalten.

### 5.1.1 Aufbau und Schaltplansymbole

Je nach Dotierung des Kanals wird zwischen N-Kanal- oder P-Kanal FET unterschieden, wobei jedoch der grösste Teil die Silizium JFET N-Kanal Typen sind. Vom Prinzip her kann der Aufbau eines JFET nach Bild 5 gezeigt werden:

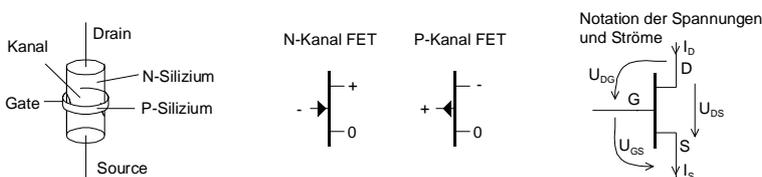


Bild 5-2: Vereinfachter Aufbau eines N-Kanal JFET, Schaltplansymbole, und Notationen. Die Polaritäten beziehen sich auf den Betrieb als Verstärker, bezogen auf den Sourceanschluss.

Der Übergang in Bild 5 zwischen dem P-dotierten Ring und dem N-dotierten Kanal bildet eine Sperrschicht, die Gatediode. Beim Betrieb des FET ist diese Diode immer gesperrt. Es fliesst lediglich ein sehr kleiner Sperrstrom in der Grössenordnung pA bis nA.

Im Gegensatz zu den Bipolartransistoren sind JFETs in der Regel symmetrisch aufgebaut. Das heisst, die Anschlüsse Drain und Source können vertauscht werden.

### 5.1.2 Arbeitsweise

Wird bei einem FET Gate und Source verbunden ( $U_{GS}=0V$ , Bild 5 a.) fliesst der maximal mögliche Kanalstrom  $I_{DSS}$ . Typische Werte liegen bei Kleinsignal-FETs im Bereich von mA bis einige 10mA.

Wird bei einem N-Kanal FET eine negative Spannung am Gate bezüglich Source angelegt, wächst die ladungsträgerfreie Zone in den Kanal hinein (Bild 5 b.). Der Leitungskanal wird durch das Wachsen der Verarmungszone verkleinert und der Stromfluss nimmt ab. Der Kanalwiderstand wird somit über die Gatespannung steuerbar. Beim P-Kanal FET wird dies mit einem positiven  $U_{GS}$  erreicht.

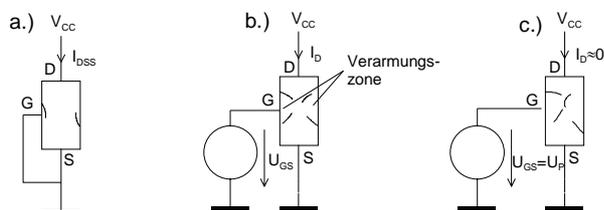


Bild 5-3: Kanalform für den Stromfluss im JFET bei verschiedenen Gatespannungen  $U_{GS}$ .

Beim Erreichen der sog. Abschnürspannung  $U_p$  (Pinch Off Voltage) wird der Kanal gänzlich gesperrt und es fliesst praktisch kein Drainstrom  $I_D$ . (Bild 5 c.) mehr. Für die Praxis definieren die Hersteller die Spannung  $U_p$  als Spannungswert, bei dem der Drainstrom auf einen bestimmten Wert abgesunken ist, z.B. 1 $\mu$ A.

Das Zuwachsen des Kanals erfolgt wegen den unterschiedlichen Potenzialen nicht symmetrisch. Der Kanal nimmt für ein wachsendes  $U_{GS}$  immer mehr eine Keilform an.

### 5.1.3 Kennlinien

Für die Kleinsignaldimensionierung im niederen Frequenzbereich können alle benötigten Größen aus  $I_{DSS}$  und  $U_p$  bestimmt werden. Das Grosssignalverhalten wird meist mit Kennlinien beschrieben. Hierzu gehören die Übertragungskennlinie  $I_D(U_{GS})$  und die Ausgangskennlinie  $I_D(U_{DS})$ .

Die Übertragungskennlinie zeigt näherungsweise ein quadratisches Verhalten. Herauszuhebende Punkte sind der Sättigungsstrom  $I_{DSS}$  bei  $U_{GS}=0V$  und die Abschnürspannung  $U_p$  wo  $I_D \approx 0A$  wird.

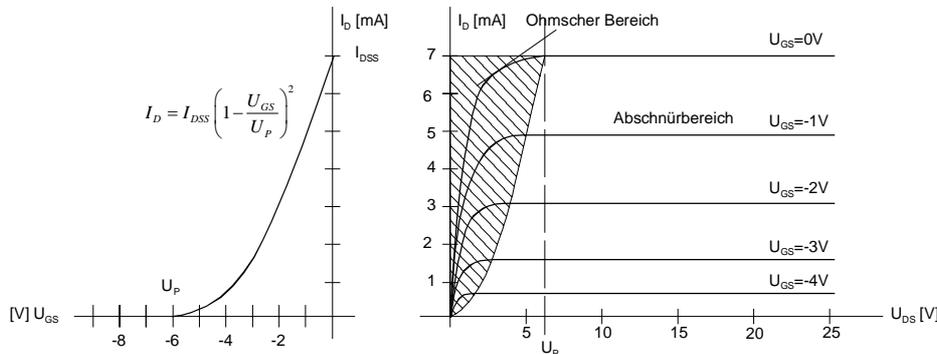


Bild 5-2: Typischer Verlauf der Übertragungs- und Ausgangskennlinien beim JFET, hier ein N-Kanal-Typ.

Im  $I_D(U_{GS})$ -Kennlinienfeld unterscheidet man den ohmschen Bereich und den Abschnürbereich. Im ohmschen Bereich verhält sich der FET wie ein elektrisch steuerbarer Widerstand. Im Abschnürbereich wird der FET als spannungsgesteuerte Stromquelle für den Einsatz als Verstärker betrieben.

Der näherungsweise quadratische Verlauf ist vom Verlauf der Dotierung abhängig. Formal gilt:

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_p} \right)^2 \quad \text{Spikesförmig dotierter Kanal} \quad (5.1)$$

$$I_D = I_{DSS} \left[ 1 - 3 \left( \frac{U_{GS}}{U_p} \right) + 2 \left( \frac{U_{GS}}{U_p} \right)^2 \right] \quad \text{Gleichmässig dotierter Kanal} \quad (5.2)$$

Beide Gleichungen unterscheiden sich in der Auswertung nur geringfügig. Trotz der Einfachheit der Gleichung (5.1) stellt sie eine brauchbare Näherung für beliebige FET dar. Die Herleitung der Gleichungen sind in [TEX77], Kap.1 gezeigt.

Die Eingangskennlinie  $I_G(U_{GS})$  ist weniger von Interesse. Die Gatediode sperrt bei Si-FET nach [TEX77, S.90] bis zum Erreichen einer maximalen Sperrspannung in der Größenordnung von 25V-30V bei  $U_{GS}=0V$ . Bei höherer Spannung erfolgt ein Avalanche-Durchbruch. Wird  $U_{GS}$  beim N-Kanal FET positiv, fließt ein Gatestrom. Die Gatediode ist vom Verhalten her eine Si-Diode mit guten Sperreigenschaften.

Durch einfache Umstellung von (5.1) findet man  $U_{GS}(I_D, I_{DSS})$ :

$$U_{GS} = U_p \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \quad (5.3)$$

Die „Verstärkung“ des FET wird mit der Steilheit  $y_{21S} = g_m = \frac{dI_D}{dU_{GS}}$  beschrieben:

$$y_{21S} = \frac{2\sqrt{I_D \cdot I_{DSS}}}{|U_P|} \quad (5.4)$$

Alle FET haben daher bei  $I_D = I_{DSS}$  die grösste Steilheit. Dies lässt sich aus (5.4) bestimmen oder direkt aus dem Verlauf der  $I_D/U_{GS}$ -Kennlinie: Die Steigung der Parabel steigt streng monoton. Eine Stromverstärkung kann beim FET wegen  $I_G = 0$  nicht formuliert werden.

Die Begründung der Gleichung (5.4) wird aus (5.1) entwickelt:

$$I_D = I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right)^2 = I_{DSS} \left(1 - 2\frac{U_{GS}}{U_P} + \frac{U_{GS}^2}{U_P^2}\right)$$

$$y_{21S} = \frac{dI_D}{dU_{GS}} = I_{DSS} \left(\frac{-2}{U_P} + \frac{2U_{GS}}{U_P^2}\right) = \frac{-2I_{DSS}}{U_P} \left(1 - \frac{U_{GS}}{U_P}\right) \quad (5.5)$$

Mit Einsetzen von Gl. (5.3) erhalten wir:

$$y_{21S} = I_{DSS} \left(\frac{-2}{U_P} + \frac{2U_P \left(1 - \sqrt{\frac{I_D}{I_{DSS}}}\right)}{U_P^2}\right) = I_{DSS} \left(\frac{-2\sqrt{\frac{I_D}{I_{DSS}}}}{U_P}\right) \quad (5.6)$$

### 5.1.4 Temperatureinflüsse

Beim JFET ist die Temperaturabhängigkeit des Kanalstromes  $I_D$  hauptsächlich durch die Diffusionsspannung und der Beweglichkeit der Ladungsträger bestimmt. Die Beweglichkeit nimmt nach [TOB, S.61] um etwa 0.7% pro Grad ab. In Folge nimmt der Drainstrom bei zunehmender Temperatur ab. Die Diffusionsspannung hat einen negativen Temperaturkoeffizienten. Deshalb nimmt die Abschürspannung  $U_P$  (betragsmässig) um etwa 2mV pro Grad Temperaturanstieg zu. Ein thermisches Hochlaufen ist, anders als bei den Bipolartransistoren, nicht möglich.

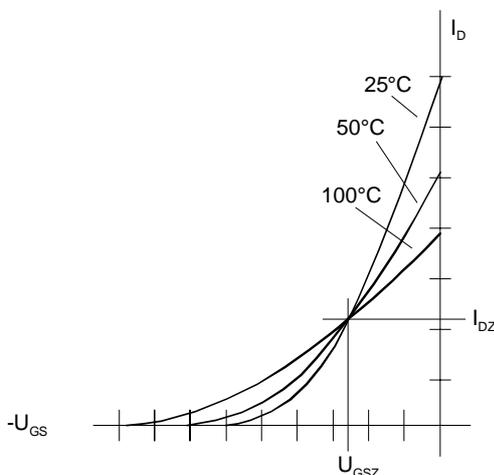


Bild 5-3: Typischer Verlauf des Drainstromes bei verschiedenen Temperaturen.

Alle Kurven in Bild 5-3 schneiden sich im Punkt ( $U_{GSZ}$ ,  $I_{DZ}$ ). In diesem Schnittpunkt wird der Temperaturkoeffizient des Kanalstromes  $I_D$  nahezu null und der FET arbeitet temperaturstabil. Dieser Punkt wird ungefähr erreicht bei

$$|I_{DZ}| \approx |I_{DSS}| \left( \frac{0.63V^2}{|U_P|} \right) \approx \frac{0.4V^2 |I_{DSS}|}{|U_P|} \quad (5.7)$$

$$U_{GSZ} \approx U_P - 0.63V \quad (5.8)$$

Bei MOSFET ist das Temperaturverhalten ähnlich.

### Begründung der Formeln (5.7), (5.8)

Die Drift der Diffusionsspannung  $U_{Diff}$  beträgt bei Zimmertemperatur ca. -2.2mV pro °C und die Drift der Mobilität  $\mu$  der Ladungsträger ca. 0.7% pro °C. Mit diesen Werten kann nach [GRA71, S.61] die Temperaturabhängigkeit der Spannung  $U_{GS}$  beschrieben werden:

$$\frac{dU_{GS}}{dT} = \frac{dU_{Diff}}{dT} + \frac{d\mu}{dT} \frac{I_D}{y_{21S}} = -2.2 \cdot 10^{-3} \frac{V}{^\circ C} + 7 \cdot 10^{-3} \frac{1}{^\circ C} \frac{I_D}{y_{21S}} \quad (5.9)$$

Für den Fall der Temperaturunabhängigkeit setzt man  $\frac{dU_{GS}}{dT} = 0$  und erhält:

$$2.2 \cdot 10^{-3} \frac{V}{^\circ C} \cdot y_{21SZ} = 7 \cdot 10^{-3} \frac{1}{^\circ C} \cdot I_{DZ} \quad (5.10)$$

$$\frac{I_{DZ}}{y_{21SZ}} = 0.315V$$

Setzt man für  $I_D$  und  $I_{DSS}$  die Gleichungen (5.1) und (5.5) ein, erhält man:

$$0.315V = \frac{I_{DZ}}{y_{21SZ}} = \frac{I_{DSS} \left( 1 - \frac{U_{GSZ}}{U_P} \right)^2}{2 \frac{I_{DSS}}{U_P} \left( 1 - \frac{U_{GSZ}}{U_P} \right)} = \frac{1 - \frac{U_{GSZ}}{U_P}}{\frac{2}{U_P}} = \frac{U_P - U_{GSZ}}{2} \quad (5.11)$$

$$U_{GSZ} = U_P - 2 \cdot 0.315V = U_P - 0.63V$$

Das erhaltene  $U_{GSZ}$  liegt in der Praxis beim N-Kanal FET in der Grössenordnung von -1.5 ..-3.5V

$$\frac{I_{DZ}}{y_{21SZ}} = 0.315V = \frac{I_{DZ}}{\frac{2I_{DSS}}{U_P} \left( 1 - \frac{U_{GSZ}}{U_P} \right)} = \frac{I_{DZ} U_P^2}{2I_{DSS} U_P - 2I_{DSS} U_{GSZ}}$$

$$0.315V = \frac{I_{DZ} U_P^2}{2I_{DSS} U_P - 2I_{DSS} U_{GSZ}}$$

$$2 \cdot 0.315V \cdot I_{DSS} U_P - 2 \cdot 0.315V \cdot I_{DSS} U_{GSZ} = I_{DZ} U_P^2$$

$$0.63V \cdot I_{DSS} U_P - 0.63V \cdot I_{DSS} (U_P - 0.63V) = I_{DZ} U_P^2$$

$$\cancel{0.63V \cdot I_{DSS} U_P} - \cancel{0.63V \cdot I_{DSS} U_P} + 0.3969V^2 I_{DSS} = I_{DZ} U_P^2 \quad \rightarrow I_{DZ} = \frac{0.3969V^2 \cdot I_{DSS}}{U_P^2} \quad (5.12)$$

Das erhaltene  $I_{DZ}$  liegt in der Praxis beim N-Kanal FET in der Grössenordnung von 200uA..600uA.

Für den Punkt ( $U_{GSZ}$ ,  $I_{GSZ}$ ) lässt sich ferner auch die Steilheit bestimmen  $y_{21SZ}$ :

$$y_{21SZ} = \frac{1.2649V \cdot I_{DSS}}{U_P^2} \quad (5.13)$$

Die Steilheit für den temperaturunabhängigen Arbeitspunkt liegt in der Praxis im Bereich bei 600uS..2mS.

#### Begründung der Formel (5.13):

Wir verwenden (5.4) und setzen für  $I_D$  die Gleichung für  $I_{DZ}$  nach (5.7) ein und vereinfachen den Ausdruck:

$$y_{21S} = \frac{2\sqrt{I_D \cdot I_{DSS}}}{|U_P|} \stackrel{I_D=I_{DZ}}{=} \frac{2\sqrt{\frac{0.4V^2 \cdot |I_{DSS}|}{U_P^2} \cdot I_{DSS}}}{|U_P|} = \frac{2\sqrt{0.4V^2 \cdot I_{DSS}^2}}{|U_P|} = \frac{2V \cdot \sqrt{0.4} \cdot I_{DSS}}{U_P^2} = \frac{1.2649V \cdot I_{DSS}}{U_P^2}$$

### 5.1.5 Begriffe

$I_{DSS}$

Drainstrom, wenn  $U_{GS}=0V$ . Dies ist der maximal zulässige Drainstrom. Dieser Wert ist hauptsächlich von der Kanaldicke und der Kanaldotierung abhängig.

$U_P$

Pinch-Off-Spannung (Abschnürspannung). Dies ist diejenige Gatespannung  $U_{GS}$ , die notwendig ist, um den Drainstrom  $I_D$  auf einen bestimmten Wert zu vermindern (z.B.  $I_D=1\mu A$  bei  $U_D=10V$ ). Dieser Wert ist herstellerspezifisch definiert.  $U_P$  ist hauptsächlich von der Kanallänge und Kanaldotierung abhängig.

$y_{21S}$

Kleinsignal Vorwärtssteilheit in A/V.

#### Abschnürbereich

Liegt der Arbeitspunkt im Abschnürbereich, wird der FET als Verstärker betrieben. Er arbeitet als spannungsgesteuerte Stromquelle mit einem grossen  $r_{DS}$ , erkennbar an den fast waagrecht Kurven für  $I_D$  bei grösseren  $U_{DS}$ . Der Abschnürbereich beginnt allgemein bei  $-U_P+U_{GS}$ .

#### Ohmscher Bereich

Für kleine  $U_{DS}$  verhält sich der FET wie ein elektrisch steuerbarer Widerstand. Dieses Verhalten wird ausgenutzt, um z.B. elektrisch steuerbare Spannungsteiler zu realisieren.

$U_{DSmax}$

Maximale Drain-Source-Spannung. Diese ist von der Dotierung abhängig und liegt in der Grössenordnung von etwa 30V.

### 5.1.6 Ersatzschaltbilder

Das Ersatzschaltbild modelliert den FET als nicht ideale spannungsgesteuerte Stromquelle mit parasitären Widerständen und Kapazitäten. Für den Kleinsignalbetrieb bei niedrigen Frequenzen (bis ca. 30MHz) definiert man das Ersatzschaltbild:

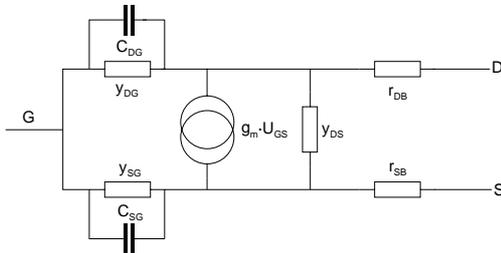


Bild 5-4: Ersatzschaltbild des JFET für niedrige Frequenzen nach [TEX77].

Die Bahnwiderstände  $r_{SB}$ ,  $r_{DB}$  sind abhängig vom Herstellungsprozess und der Geometrie. Sie liegen in der Grössenordnung  $< 100\Omega$ . Die Leitwerte  $y_{SG}$ ,  $y_{DG}$ , wie auch die Kapazitäten  $C_{SG}$ ,  $C_{DG}$  sind sehr klein und können für tiefe Frequenzen in den meisten Fällen vernachlässigt werden.

Aus dem Modell nach Bild 5-4 kann ein vereinfachtes Vierpolmodell mit Y-Parameter gemäss Bild 5-5 definiert werden. Für den Einsatz im DC- oder NF-Bereich ist es hinreichend.

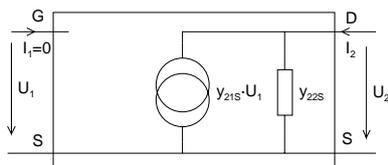


Bild 5-5: Vereinfachtes Vierpol-Ersatzschaltbild.

### 5.1.7 Ohmscher Bereich

Im ohmschen Bereich arbeitet der FET als elektrisch steuerbarer Widerstand  $r_{DS\Omega}$ . Dieser Bereich wird auch „Triodenbereich“ genannt, weil der Kennlinienverlauf einer Triodenröhre ähnelt.

Im  $I_D(U_{GS})$  Kennlinienfeld verkörpert der ohmsche Bereich, wo bei kleinen  $U_{DS}$  die  $I_D$  steil ansteigen. Für kleine  $U_{DS}$  können daher ohne grossen Fehler die Kennlinien linearisiert werden. Der Widerstand ergibt sich aus den Steigungen  $\Delta U_D / \Delta I_D$  wie in Bild 5-6 gezeigt.

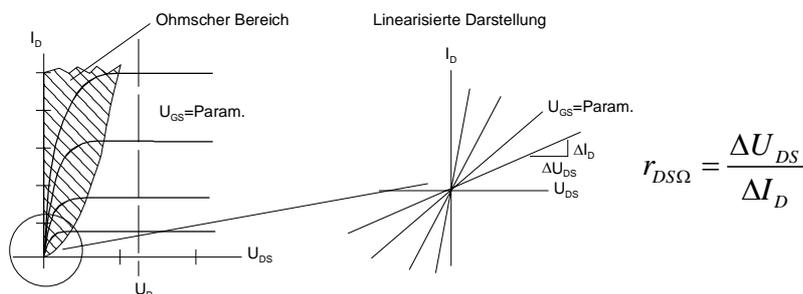


Bild 5-6: Ohmscher Bereich des FET.

Der Widerstandsverlauf  $r_{DS\Omega}(U_{GS})$  ist nichtlinear von der Steuerspannung  $U_{GS}$  abhängig.

$$r_{DS\Omega} = \frac{-U_P}{2I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right)} \quad (5.14)$$

Elektrisch steuerbare Spannungsteiler für kleinere Spannungen werden oft mit FET realisiert.

**Beispiel 5-1:** Elektrisch steuerbarer Widerstand.

In welchem Bereich variiert der ohmsche Widerstand für kleine  $U_{DS}$  wenn der FET folgende Daten aufweist:  $U_P = -3.1V$ ,  $I_{DSS} = 2.4mA$ .

**Lösung:** Aufzeichnen des Graphen  $r_{DS\Omega}(U_{GS})$  mit (5.14).

**Vorgaben:**

$$U_P := -3.1V \quad I_{DSS} := 2.4mA$$

**Berechnungen:**

$$r_{DS\Omega}(U_{GS}) := \frac{-U_P}{2 \cdot I_{DSS} \cdot \left(1 - \frac{U_{GS}}{U_P}\right)} \quad U_{GS} := \text{linrange}(0, -3, 100)$$

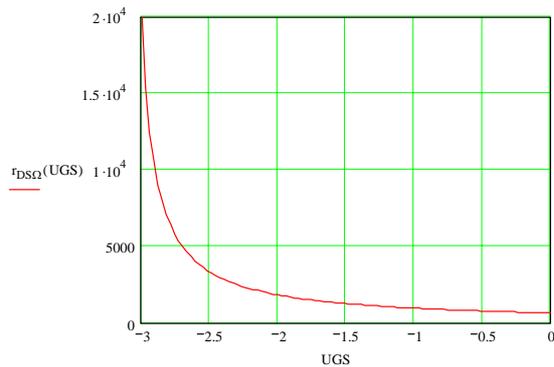


Bild 5-7: Widerstandsverlauf des Ohmschen Bereichs des FET nach Beispiel 5-1

Man erkennt den näherungsweise linearen Verlauf für  $U_{GS}$  bis etwa  $U_P/3$ . Dann steigt der Widerstand nicht linear an, bis bei  $U_P$  theoretisch unendlich gross wird.

**Begründung der Formel (5.14):**

Nach [HOE85, S.121] gelten für den JFET die SPICE-Modellgleichungen :

$$I_D = \beta \cdot U_{DS} \left(2(U_{GS} - U_{TO}) - U_{DS}\right) \quad \text{Widerstandsbereich} \quad (5.15)$$

$$I_D = \beta(U_{GS} - U_{TO})^2 \quad \text{Abschnürbereich} \quad (5.16)$$

Mit  $U_P = U_{TO}$  und Gleichsetzen von (5.16) mit (5.1) kann der Parameter  $\beta$  bestimmt werden:

$$I_D = \beta(U_{GS} - U_P)^2 = \frac{\beta}{U_P^2} \left(\frac{U_{DS}}{U_P} - 1\right)^2 = \frac{\beta}{U_P^2} \left(1 - \frac{U_{GS}}{U_P}\right)^2$$

$$I_D = I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right)^2 = \frac{\beta}{U_P^2} \left(1 - \frac{U_{GS}}{U_P}\right)^2 \quad \rightarrow \beta = \frac{I_{DSS}}{U_P^2} \quad (5.17)$$

Das Resultat wird nun in (5.15) eingesetzt und der Widerstand  $r_{DS\Omega}$  bestimmt. Wir unterstellen für diese Betrachtung Linearität. Das quadratische Glied wird nicht berücksichtigt und wir erhalten:

$$I_D = \frac{I_{DSS}}{U_P^2} U_{DS} \left(2(U_{GS} - U_P) - U_{DS}\right) = 2 \frac{I_{DSS}}{U_P^2} U_{DS} U_{GS} - 2 \frac{I_{DSS}}{U_P^2} U_{DS} U_P - \frac{I_{DSS}}{U_P^2} U_{DS}^2 = 2 \frac{I_{DSS}}{U_P^2} U_{DS} (U_{GS} - U_P)$$

$$r_{DS\Omega} = \frac{U_{DS}}{I_D} = \frac{U_P^2}{2 I_{DSS} (U_{GS} - U_P)} = \frac{U_P}{2 I_{DSS} \left(\frac{U_{GS}}{U_P} - 1\right)} = \frac{-U_P}{2 I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right)}$$

## 5.2 Arbeitspunkteinstellung

FET zeigen für die Parameter  $U_P$  und  $I_{DSS}$  wesentlich grössere Exemplarstreuungen als Bipolartransistoren. Für Labormuster kann es vorteilhaft sein die FETs auszumessen.

Die Arbeitspunktstabilisierung bezweckt bei der FET-Schaltung die Abmilderung von Exemplarstreuungen, vor allem bei  $U_P$  und  $I_{DSS}$ . Temperaturstabilisierung steht hier nicht im Vordergrund, weil bei FETs kein thermisches Hochlaufen des Drainstromes möglich ist.

Die beiden Standardschaltungen für den einstufigen FET-Verstärker sind:

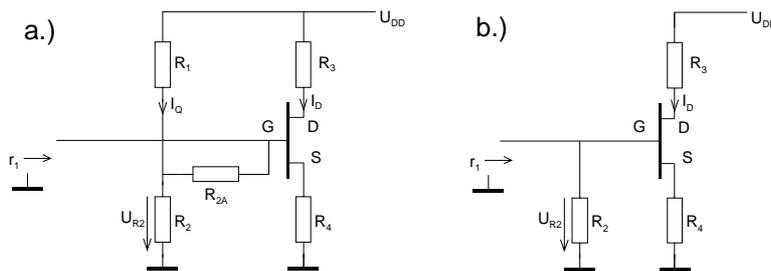


Bild 5-8: Arbeitspunkteinstellung beim einstufigen FET-Verstärker.

a.) Einstellung mit Gatespannungsteiler.

b.) Arbeitspunkteinstellung über Sourcewiderstand  $R_4$ .

### 5.2.1 Arbeitspunkteinstellung über den Sourcewiderstand

Die einfache Form der Arbeitspunkteinstellung erfolgt nach Bild 3-10 b.).

Die Dimensionierungsvorgaben sind  $I_{DSS}$ ,  $U_P$ ,  $I_D$ . Wird vom Hersteller ein Streubereich für  $U_P$ ,  $I_{DSS}$  definiert, werden die Mittelwerte verwendet. Beste Resultate erhält man aber immer dann, wenn zuvor der FET in seinen Kenngrössen ausgemessen wird.

$$R_4 = \frac{-U_P}{I_D} \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \quad (5.18)$$

$$R_3 = \frac{U_{DD} - I_D \cdot R_4}{2I_D} \quad (U_{DS} = U_{R3}) \quad (5.19)$$

$$R_3 = \frac{U_{DD} - I_D \cdot R_4 - U_{DS}}{I_D} \quad (U_{DS} : \text{Vorgegeben}) \quad (5.20)$$

$R_2 = \text{wählbar}$

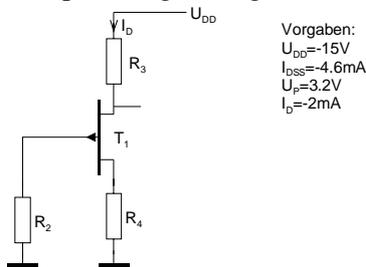
Der Gatewiderstand  $R_2$  ist frei wählbar. Er beeinflusst direkt den Eingangswiderstand der Schaltung. Meist ist ein hoher Eingangswiderstand erwünscht, deshalb wird  $R_2$  gross gewählt. Praxiswerte liegen im Bereich 100kΩ..33MΩ.

Schaltungen mit extrem hohen Eingangswiderständen sind empfindlich gegenüber elektrischen Störungen, Kriechströmen und anderen Effekten. Es ist deshalb sinnvoll  $R_2$  nur so gross wie notwendig zu wählen.

Der Drainwiderstand wird für Source- und Gateschaltung ohne Vorgabe für  $U_{DS}$  mit (5.19) so dimensioniert, dass die verbleibende Spannung  $U_{CC} - I_D R_4$  hälftig über  $R_3$  und dem FET aufgeteilt wird. Wird ein  $U_{DS}$  vorgegeben, wird nach (5.20) dimensioniert. Bei der Drainschaltung entfällt  $R_3$ .

**Beispiel 5-2:** Einfache Arbeitspunkteinstellung für eine FET-Stufe.

Zu dimensionieren ist eine Schaltung mit einem P-Kanal FET für ein  $I_D = -2\text{mA}$ . Der FET wurde zuvor ausgemessen mit  $I_{DSS} = -4.6\text{mA}$  und  $U_p = 3.2\text{V}$ . Die Speisespannung beträgt  $-15\text{V}$ .  $U_{DS}$  soll die halbe Speisespannung betragen. Wie gross wird  $I_D$  und  $U_{DS}$  mit E12-Normwerten?



Vorgaben:  
 $U_{DD} = -15\text{V}$   
 $I_{DSS} = -4.6\text{mA}$   
 $U_p = 3.2\text{V}$   
 $I_D = -2\text{mA}$

**Lösung:**

Da keine Einschränkung für den Eingangswiderstand vorliegt, wird  $R_2$  mit  $1\text{M}\Omega$  gewählt. Die weiteren Berechnungen erfolgen mit (5.18)-(5.20). Die Arbeitspunktberechnung erfolgt mit einem Knotenansatz und führt zu (5.25), wobei hier  $U_{R2} = 0\text{V}$  ist.

**Vorgaben:**

$U_{DD} := -15\text{V}$      $U_p := 3.2\text{V}$      $I_{DSS} := -4.6\text{mA}$      $I_D := -2\text{mA}$      $U_{DS} := \frac{U_{DD}}{2}$

**Berechnungen:**

$$R_4 := \frac{-U_p}{I_D} \cdot \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$$

$R_4 = 544.991\Omega$

$$R_3 := \frac{U_{DD} - I_D \cdot R_4 - U_{DS}}{I_D}$$

$R_3 = 3.205 \times 10^3 \Omega$

**Normwerte:**

$R_3 := \text{normE}(R_3, E12)$

$R_3 = 3.3 \times 10^3 \Omega$

$R_4 := \text{normE}(R_4, E12)$

$R_4 = 560\Omega$

**Kontrollrechnung Arbeitspunkt:**

$$I_{D1} := \frac{U_p^2 - 2 \cdot I_{DSS} \cdot R_4 \cdot U_p + U_p \cdot \sqrt{U_p^2 - 4 \cdot I_{DSS} \cdot R_4 \cdot U_p}}{2 \cdot I_{DSS} \cdot R_4^2}$$

$I_{D1} = -0.017\text{A}$

$$I_{D2} := \frac{U_p^2 - 2 \cdot I_{DSS} \cdot R_4 \cdot U_p - U_p \cdot \sqrt{U_p^2 - 4 \cdot I_{DSS} \cdot R_4 \cdot U_p}}{2 \cdot I_{DSS} \cdot R_4^2}$$

$I_{D2} = -1.972 \times 10^{-3} \text{A}$

$I_D := I_{D2}$

$U_{DS} := U_{DD} - I_D \cdot (R_3 + R_4)$

$U_{DS} = -7.386\text{V}$

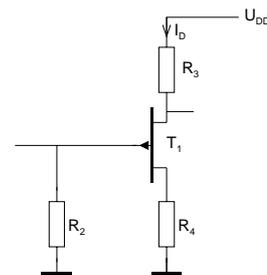


Bild 5-9: Berechnung und Schaltung zu Beispiel 5-2.

### 5.2.2 Arbeitspunkteinstellung über einen Gatespannungsteiler

Die Arbeitspunkteinstellung über einen Gatespannungsteiler nach Bild 5-8 a.) bietet eine Wahl von  $U_S$  ohne grosse Rücksicht auf  $U_{GS}$ . Ferner erlaubt diese Beschaltung eine bessere Stabilisierung bezüglich Temperaturschwankungen und Exemplarstreuungen.

Da der Eingangswiderstand beim FET sehr gross ist (ca.  $10^9\Omega$ ) kann der Spannungsteiler  $R_1/R_2$  als ideale Spannungsquelle angesehen werden.  $R_{2A}$  dient zur Erhöhung des Eingangswiderstandes der Schaltung  $r_i$ .  $R_1$  und  $R_2$  sind normalerweise viel kleiner als der Eingangswiderstand des FET und würden bei direkter Beschaltung den gesamten Eingangswiderstand  $r_i$  stark reduzieren. Mit  $R_{2A}$  kann der Eingangswiderstand  $r_i$  erhöht werden. Da kein Gatestrom fliesst, hat  $R_{2A}$  keinen Einfluss auf den Arbeitspunkt.

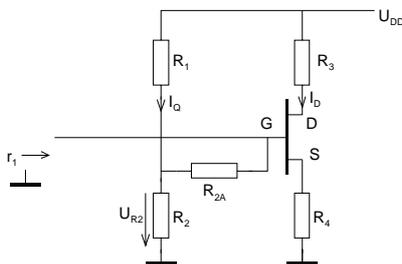


Bild 5-10: Arbeitspunkteinstellung mit Gatespannungsteiler und Sourcewiderstand  $R_s$ .

Die Parameter  $U_P$  und  $I_{DSS}$  werden normalerweise vom Hersteller im Datenblatt mit Minimal- und Maximalwerten angegeben. Typische Werte sind eher selten. Unter Berücksichtigung der Streuung wird  $R_4$ :

$$R_4 = \frac{|U_{P\max}| \left( 1 - \sqrt{\frac{I_{D\max}}{I_{DSS\max}}} \right) - |U_{P\min}| \left( 1 - \sqrt{\frac{I_{D\min}}{I_{DSS\min}}} \right)}{|I_{D\max} - I_{D\min}|} \quad (5.21)$$

Beim Spannungsteiler kann der Querstrom  $I_Q$  oder ein Widerstand frei gewählt werden, z.B.  $R_2$ . Mit diesen Vorgaben ergeben sich die Dimensionierungsgleichungen für  $R_1$  und  $R_2$ :

$$R_1 = \frac{U_{DD} - U_{R2}}{I_Q} = R_2 \left( \frac{U_{DD}}{U_{R2}} - 1 \right) \quad U_{R2} = U_{GS} + I_D R_4 = \frac{U_{DD} \cdot R_2}{R_1 + R_2} \quad (5.22)$$

$$R_2 = \frac{U_{R2}}{I_Q} \quad I_Q = \text{wählbar, z.B. } 1\mu\text{A} \quad (5.23)$$

$$R_{2A} = \text{wählbar}$$

Da kein Gatestrom fliesst, kann der Querstrom  $I_Q$  sehr klein gewählt werden, ohne dass die Schaltungseigenschaften negativ beeinflusst werden. Praktikable Werte für  $I_Q$  liegen im  $\mu\text{A}$ -Bereich. Praxiswerte liegen im Bereich von  $100\text{k}\Omega$ .. $33\text{M}\Omega$ .

Bei der Dimensionierung mit Minimal- und Maximalwerten werden bei der Wechselstromdimensionierung immer die **Maximalwerte** eingesetzt.

Der Drainwiderstand wird für Source- und Gateschaltung mit (5.19) oder (5.20) wie bei der einfachen Arbeitspunkteinstellung dimensioniert.

Ist der Arbeitspunkt mit dem Drainstrom  $I_D$  nicht vorgegeben, ist die Wahl von  $I_D$

$$I_D = \frac{I_{DSS \min}}{2} \quad (5.24)$$

meist eine vernünftige Ausgangslage.

Der Arbeitspunkt bei gegebener Beschaltung und Transistordaten ist:

$$I_D = \frac{U_P^2 + 2I_{DSS}R_4(U_{R2} - U_P) \pm U_P \sqrt{U_P^2 + 4I_{DSS}R_4(U_{R2} - U_P)}}{2I_{DSS}R_4^2} \quad (5.25)$$

$U_{R2}$  bezeichnet die Spannung von Masse zum Gate der FET. Für die einfache Schaltung nach Bild 5-8b.) wird  $U_{R2}=0$  gesetzt. Für die Einstellung mit einem Gatespannungsteiler nach Bild 5-10 wird  $U_{R2}$  über die Spannungsteilerformel bestimmt.

### Beispiel 5-3: Arbeitspunkteinstellung mit Gatespannungsteiler.

Man bestimme die Widerstandswerte  $R_1, \dots, R_4$  sowie wechselstrommässige Ein- und Ausgangswiderstände  $r'_1$  und  $r'_2$ . Die zulässige Toleranz  $\Delta I_D$  soll  $\pm 0.1 \text{mA}$  betragen.

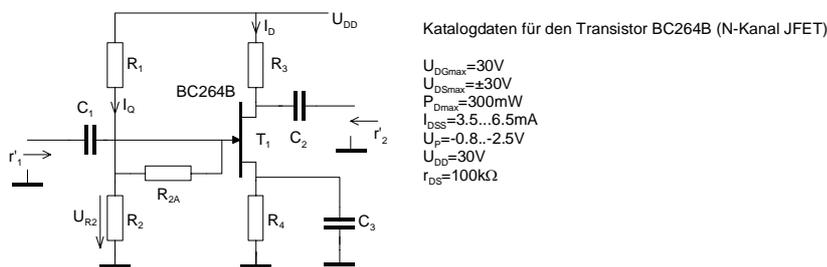


Bild 5-11: Vorgaben für DC-Dimensionierung in Beispiel 5-3.

### Lösung:

Der Drainstrom  $I_D$  wird nach (5.24) berechnet und gewählt. Die aus der Toleranz hervorgehenden Minimal- und Maximalwerte werden:

$$I_D = \frac{I_{DSS \min}}{2} = \frac{3.5 \text{mA}}{2} = 1.75 \text{mA} \quad \text{Wahl: } I_D = 1.8 \text{mA}$$

$$I_{D \max} = I_D + \Delta I_D = 1.8 \text{mA} + 0.1 \text{mA} = 1.9 \text{mA}$$

$$I_{D \min} = I_D - \Delta I_D = 1.8 \text{mA} - 0.1 \text{mA} = 1.7 \text{mA}$$

**Vorgaben:**

$U_{DD} := 30V$      $U_{Pmin} := -0.8V$      $U_{Pmax} := -2.5V$      $\Delta I_D := 0.1mA$   
 $r_{DS} := 100k\Omega$      $I_{DSSmin} := 3.5mA$      $I_{DSSmax} := 6.5mA$

**Berechnungen:**

$$R_4 := \frac{|U_{Pmax}| \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) - |U_{Pmin}| \cdot \left(1 - \sqrt{\frac{I_{Dmin}}{I_{DSSmin}}}\right)}{|I_{Dmax} - I_{Dmin}|} \quad R_4 = 4.578 \times 10^3 \Omega$$

$$U_{R2} := U_{Pmax} \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) + I_{Dmax} \cdot R_4 \quad U_{R2} = 7.303V$$

**Wahl:**  $I_Q := 1\mu A$

$$R_2 := \frac{U_{R2}}{I_Q} \quad R_2 = 7.303 \times 10^6 \Omega$$

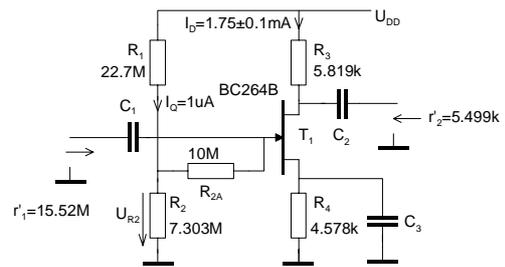
$$R_1 := R_2 \cdot \left(\frac{U_{DD}}{U_{R2}} - 1\right) \quad R_1 = 2.27 \times 10^7 \Omega$$

**Wahl:**  $R_{2A} := 10M\Omega$

$$R_3 := \frac{U_{DD} - I_{Dmax} \cdot R_4}{2 \cdot I_{Dmax}} \quad R_3 = 5.819 \times 10^3 \Omega$$

$$r'_1 := R_{2A} + \frac{R_1 \cdot R_2}{R_1 + R_2} \quad r'_1 = 1.552 \times 10^7 \Omega$$

$$r'_2 := \frac{r_{DS} \cdot R_3}{r_{DS} + R_3} \quad r'_2 = 5.499 \times 10^3 \Omega$$



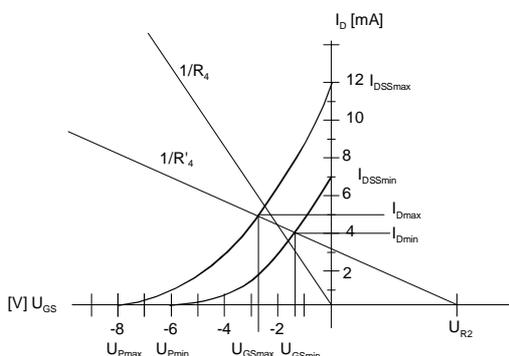
**Herleitung der Gleichungen:**

Die Herleitung von (5.18),..., (5.20) und die Gleichungen (5.22),..., (5.23) sind elementar und werden hier nicht weiter gezeigt.

Für die Gleichung (5.21) wird nach Bild 5-13 zur Bestimmung verwendet. Vorbereitend wird die Spannung  $U_2$  bestimmt:

$$U_2 = U_{GS} + I_D R_4 = \frac{U_{DD} \cdot R_2}{R_1 + R_2} \quad (I_D = I_S) \quad (5.26)$$

Will man einen Bereich für den Arbeitspunkt garantieren muss  $R_4$  über den Streubereich  $U_{Pmin} \dots U_{Pmax}$  und  $I_{DSSmin} \dots I_{DSSmax}$  bestimmt werden. Mit einem grafischen Ansatz nach für  $R_4$  ergibt sich aus der Steigung Gl. (5.27):



$$R'_4 = \frac{|U_{GSmax}| - |U_{GSmin}|}{|I_{Dmax}| - |I_{Dmin}|}$$

Bild 5-13: Grafischer Ansatz zur Bestimmung des Wertes für  $R_4$  unter Berücksichtigung der Streuungen von  $U_p$  und  $I_{DSS}$ .

Es macht Sinn, den kleineren Wert für  $U_p$  mit  $U_{Pmax}$  zu definieren, obwohl dies aus mathematischer Sicht nicht korrekt ist. Wir erhalten dafür aber eine Formel, die für N-Kanal und P-Kanal FET gültig ist. Mit Gl. (5.3) erhalten wir anschliessend:

$$R_4 = \frac{|U_{Pmax}| \left( 1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}} \right) - |U_{Pmin}| \left( 1 - \sqrt{\frac{I_{Dmin}}{I_{DSSmin}}} \right)}{|I_{Dmax} - I_{Dmin}|} \quad (|U_{Pmin}| < |U_{Pmax}|) \quad (5.28)$$

Die Arbeitspunktberechnung bei gegebener Beschaltung erfolgt mit der Schaltung nach Bild 5-14.

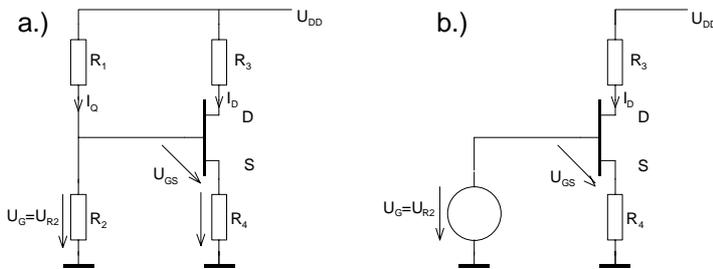


Bild 5-14: Ansatz zur Arbeitspunktanalyse.  
a.) Schaltung mit den vorgegebenen Komponenten und Daten.  
b.) Ersatz des Spannungsteilers \$R\_1/R\_2\$ durch eine ideale Quelle.

Grundlage zur Analyse bildet Gl. (5.1):

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_P} \right)^2 = I_{DSS} - 2I_{DSS} \frac{U_{GS}}{U_P} + I_{DSS} \frac{U_{GS}^2}{U_P^2} \quad (5.29)$$

Die Spannung \$U\_{GS}\$ ergibt sich nach Kirchhoff:

$$U_{R2} = U_{GS} + U_{R4} = U_{GS} + I_D R_4 \quad (5.30)$$

Dies wird nun eingesetzt und wir erhalten die quadratische Gleichung:

$$\frac{U_{DD} R_2}{R_1 + R_2} = U_P \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) + I_D R_4 \quad (5.31)$$

Zur formalen Lösung wird (5.31) quadriert. Die weitere Lösung erfolgt der Formel der quadratischen Ergänzung.

$$U_P^2 \frac{I_D}{I_{DSS}} = (U_P - U_{R2})^2 + I_D 2R_4 (U_P - U_{R2}) + I_D^2 R_4^2$$

$$(U_P - U_{R2})^2 + I_D \left[ 2R_4 (U_P - U_{R2}) - \frac{U_P^2}{I_{DSS}} \right] + I_D^2 R_4^2 = 0 \quad (5.32)$$

Das Resultat ist die Formel nach (5.25).

**Beispiel 5-4:** DC-Analyse einer Verstärkerstufe in Sourceschaltung.  
Gegeben sei die Verstärkerstufe nach Bild 5-15. Zu bestimmen sind:

- a.)  $I_D$   
b.)  $U_{DS}$

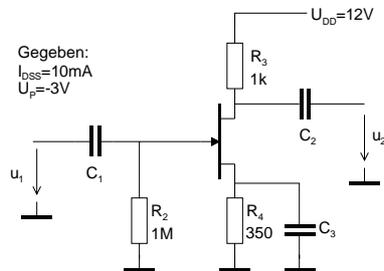


Bild 5-15: Schaltbild zur DC-Analyse in Beispiel 5-4.

**Lösung:**

Der Drainstrom kann direkt mit (5.25) bestimmt werden. Die Spannung  $U_{R2}$  beträgt 0V. Anschliessend kann über  $I_D$  das  $U_{DS}$  berechnet werden.

**Vorgaben:**

$$U_{DD} := 12V \quad U_P := -3V \quad I_{DSS} := 10mA$$

$$R_4 := 350\Omega \quad R_3 := 1k\Omega$$

**Berechnungen:**

$$I_{D1} := \frac{U_P^2 - 2 \cdot I_{DSS} \cdot U_P \cdot R_4 + U_P \sqrt{U_P^2 - 4 \cdot I_{DSS} \cdot R_4 \cdot U_P}}{2 \cdot I_{DSS} \cdot R_4^2} \quad I_{D1} = 3.5 \times 10^{-3} A$$

$$I_{D2} := \frac{U_P^2 - 2 \cdot R_4 \cdot I_{DSS} \cdot U_P - U_P \cdot \sqrt{U_P^2 - 4 \cdot R_4 \cdot I_{DSS} \cdot U_P}}{2 \cdot R_4^2 \cdot I_{DSS}} \quad I_{D2} = 0.021A$$

$$I_D := I_{D1}$$

$$U_{DS} := U_{DD} - I_D \cdot (R_3 + R_4) \quad U_{DS} = 7.275V$$

### 5.2.3 Der Abschnürbereich

Liegt der Arbeitspunkt im Abschnürbereich, wird der FET als Verstärker betrieben. Per Definition beginnt der Abschnürbereich bei  $U_{DS} > -U_P + U_{GS}$ . In diesem Bereich arbeitet der FET als spannungsgesteuerte Stromquelle mit einem grossen  $r_{DS}$ , erkennbar an den fast waagrechten Kurven für  $I_D$  bei grösseren  $U_{DS}$ .

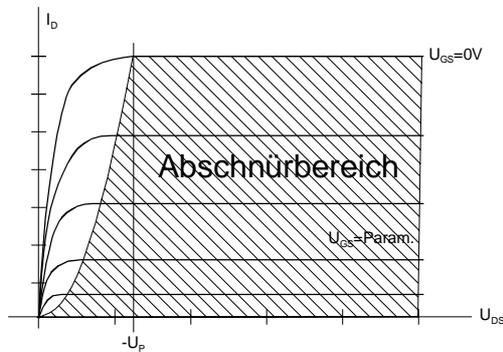


Bild 5-16: Abschnürbereich des FET.

Für den Betrieb als Verstärker gelten für den FET folgende einfache Zusammenhänge:

$$r_{DS} = \frac{\Delta U_{DS}}{\Delta I_D} \approx \rightarrow \infty \quad (5.33)$$

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_P} \right)^2 \quad (5.34)$$

$$y_{21S} = \left. \frac{dI_D}{dU_{GS}} \right|_{U_{DS}=\text{Konst.}} = \frac{2}{|U_P|} \sqrt{I_D \cdot I_{DSS}} \quad (5.35)$$

Die Steilheit  $y_{21S}$  des FET kann allgemein gültig durch (5.35) beschrieben werden. Die maximale Steilheit  $y_{21S\max}$  wird offensichtlich bei  $U_{GS}=0V$  erreicht:

$$y_{21S\max} = \frac{-2 I_{DSS}}{U_P} \quad (5.36)$$

### 5.3 Koppelkondensatoren

Die Koppelkondensatoren  $C_1$  und  $C_2$  definieren neben dem Sourcekondensator  $C_s$  die untere Grenzfrequenz der Verstärkerschaltung. Sie werden vom Ansatz her genau gleich bestimmt wie bei einer Stufe mit Bipolartransistoren.

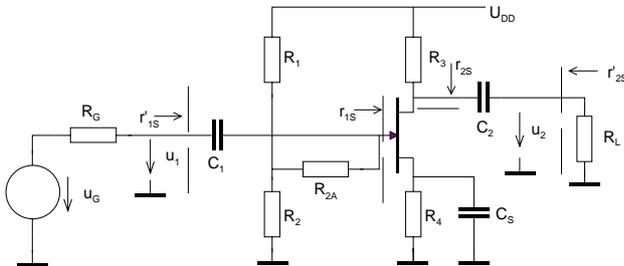


Bild 5-17: Koppel- und Überbrückungskondensatoren beim einstufigen FET-Verstärker in Sourceschaltung.

Für die Kondensatoren  $C_1, \dots, C_3$  nach Bild 5-17 gelten die Dimensionierungsgleichungen:

$$f_{gud} = f_{gu} \cdot \sqrt{2^{\frac{1}{n}} - 1} \quad \begin{array}{l} f_{gud} : \text{Dimensionierungsgrenzfrequenz} \\ f_{gu} : \text{Untere Grenzfrequenz der Stufe} \\ n : \text{Anzahl wirksame Kondensatoren bei } f_{gu} \end{array} \quad (5.37)$$

$$C_1 = \frac{1}{2\pi f_{gud} (R_G + r'_1)} \quad (5.38)$$

$$C_2 = \frac{1}{2\pi f_{gud} (R_L + r'_2)} \quad (5.39)$$

$$C_s = \frac{\sqrt{2R_4 (r_{DS} + R'_L)(1 + y_{21S} r_{DS}) + [R_4 (1 + y_{21S} r_{DS})]^2 - (r_{DS} + R'_L)^2}}{2\pi f_{gud} R_4 (r_{DS} + R'_L)} \approx \frac{y_{21S}}{2\pi f_{gud}} \quad (5.40)$$

$$(R'_L = R_L \parallel R_3)$$

Die Kondensatoren  $C_1, C_2$  werden als Koppelkondensatoren in allen Grundschaltungen genau gleich dimensioniert.

Der Kondensator  $C_s$  zur wechselstrommässigen Überbrückung wird nur bei der Sourceschaltung verwendet.

Die Herleitung der Gleichung (5.40) wird im entsprechenden Kapitel gezeigt. Für die Herleitung der Gleichungen für  $C_1, C_2$  wird auf das Kapitel *Bipolartransistoren* im Skript verwiesen.

Soll ein Koppelkondensator nicht frequenzbestimmend sein, wird sein Wert mit dem Faktor 10 multipliziert. Damit ist sichergestellt, dass der Kondensator bei  $f_{gu}$  nicht wirksam ist.

**Beispiel 5-5:** Berechnung der Koppel- und Überbrückungskondensatoren.

Zu dimensionieren sind alle Kondensatoren in der Schaltung nach Bild 5-18 für eine untere Grenzfrequenz von 30Hz. Alle Kondensatoren sind frequenzbestimmend.

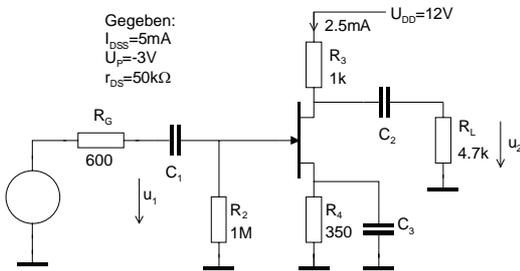


Bild 5-18: Schaltung für die Berechnung der Kondensatoren in Beispiel 5-5.

**Lösung:**

Zuerst wird die Steilheit  $y_{21S}$  für Arbeitspunkt  $I_D = 2.5\text{mA}$  bestimmt. Anschliessend werden Ein- und Ausgangswiderstände der Schaltung berechnet. Sie bilden die Grundlage für Dimensionierung der Kondensatoren. Da alle Kondensatoren gemäss Aufgabenstellung frequenzbestimmend sind, wird mit einer Dimensionierungsgrenzfrequenz nach (5.37) gearbeitet.

**Vorgaben:**

$R_2 := 1\text{M}\Omega$      $R_3 := 1\text{k}\Omega$      $R_4 := 350\Omega$      $R_G := 600\Omega$      $R_L := 4.7\text{k}\Omega$   
 $U_P := -3\text{V}$      $I_{DSS} := 5\text{mA}$      $r_{DS} := 100\text{k}\Omega$      $I_D := 2.5\text{mA}$      $f_{gu} := 30\text{Hz}$   
 $n := 3$

**Berechnungen:**

$$y_{21S} := \frac{2}{|U_P|} \cdot \sqrt{I_D \cdot I_{DSS}} \qquad y_{21S} = 2.357 \times 10^{-3} \text{ S}$$

$$R'_L := \frac{R_3 \cdot R_L}{R_3 + R_L}$$

$r_{1S} := \text{INF}$

$$r'_{1S} := R_2 \qquad r'_{1S} = 1 \times 10^6 \Omega$$

$$r_{2S} := r_{DS} \qquad r_{2S} = 100 \times 10^3 \Omega$$

$$r'_{2S} := \frac{r_{DS} \cdot R_3}{r_{DS} + R_3} \qquad r'_{2S} = 990.099 \times 10^0 \Omega$$

$$f_{gud} := f_{gu} \cdot \sqrt{\frac{1}{2^n} - 1} \qquad f_{gud} = 15.295 \times 10^0 \text{ Hz}$$

$$C_1 := \frac{1}{2\pi \cdot f_{gud} \cdot (R_G + r'_{1S})} \qquad C_1 = 10.4 \times 10^{-9} \text{ F}$$

$$C_2 := \frac{1}{2\pi \cdot f_{gud} \cdot (R_L + r'_{2S})} \qquad C_2 = 1.829 \times 10^{-6} \text{ F}$$

$$C_3 := \frac{\sqrt{2 \cdot R_4 \cdot (r_{DS} + R'_L) \cdot (1 + y_{21S} \cdot r_{DS}) + [R_4 \cdot (1 + y_{21S} \cdot r_{DS})]^2 - (r_{DS} + R'_L)^2}}{2\pi \cdot f_{gud} \cdot R_4 \cdot (r_{DS} + R'_L)} \qquad C_3 = 34.139 \times 10^{-6} \text{ F}$$

$$C_3 := \frac{y_{21S}}{2\pi \cdot f_{gud}} \quad (\text{Näherung}) \qquad C_3 = 24.527 \times 10^{-6} \text{ F}$$

## 5.4 Sourceschaltung

Die Sourceschaltung hat charakteristisch eine hohe Spannungsverstärkung  $v_{US}$ . Der Eingangswiderstand wird bei tiefen Frequenzen nur durch den Gatespannungsteiler bestimmt. Alle Dimensionierungsformeln und Kenngrößen können ohne Aufwand aus dem vereinfachten Ersatzschaltbild hergeleitet werden.

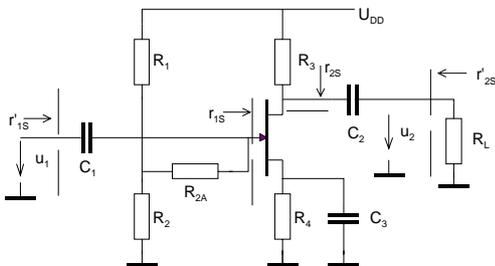


Bild 5-19: Einstufiger FET-Verstärker in Sourceschaltung.

### 5.4.1 Kenngrößen der Sourceschaltung

$$v_{US} = \frac{u_2}{u_1} = -y_{21s} \frac{r_{DS}' \cdot R_L'}{r_{DS}' + R_L'} \quad R_L' = R_L \parallel R_3 \quad (5.41)$$

$$r_{1s} = \infty \quad (5.42)$$

$$r_{1s}' = r_{1s} \parallel (R_{2A} + R_1 \parallel R_2) \quad (5.43)$$

$$r_{2s} = r_{DS} \quad (5.45)$$

$$r_{2s}' = r_{DS}' \parallel R_3 \quad (5.44)$$

Für die Herleitung der Gleichung sei auf die Kapitel 5.4.3, 5.4.4 verwiesen.

### 5.4.2 Wechselstrommässiges Ersatzschaltbild der Sourceschaltung

Das wechselstrommässige Kleinsignalersatzschaltbild mit dem FET als Y-Parameterblock wird für die gesamte Schaltung:

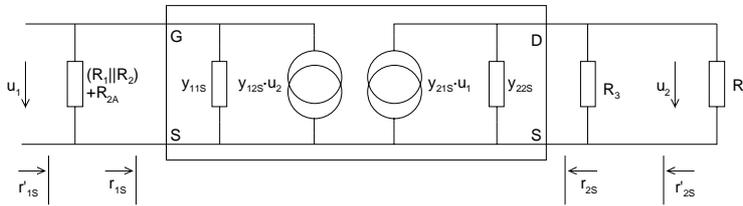


Bild 5-20: Wechselstrommässiges Ersatzschaltbild für die Verstärkerschaltung nach Bild 5-19 .

Zur Vereinfachung setzen wir  $r_{DS} = \frac{1}{y_{22S}}$ . In NF-Bereich kann ohne weiteres  $y_{11S}=0$  und  $y_{12S}=0$  angenommen werden.

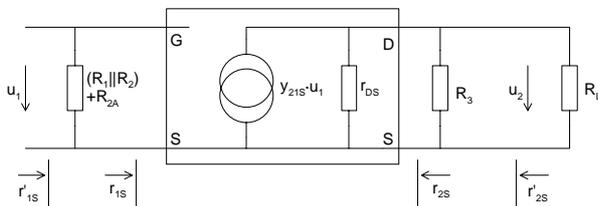


Bild 5-21: Vereinfachtes Ersatzschaltbild für die Verstärkerschaltung nach Bild 5-19 .

Aus dem Ersatzschaltbild ersieht man direkt die Zusammenhänge für  $r_p$ ,  $r'_p$ ,  $r_2$ ,  $r'_2$ . Die Spannungsverstärkung  $v_{US}$  wird ebenfalls sehr einfach bestimmt:

$$R'_L = R_3 \parallel R_L$$

$$u_2 = -y_{21S} \cdot u_1 \cdot r_{DS} \parallel R'_L \quad \rightarrow \quad v_{US} = \frac{u_2}{u_1} = y_{21S} \cdot r_{DS} \parallel R'_L = y_{21S} \frac{r_{DS} \cdot R'_L}{r_{DS} + R'_L} \quad (5.46)$$

Bemerkung:

$-y_{21S}$ , weil  $i_2$  nach Definition in den Vierpol hinein fließt.

### 5.4.3 Kenngrößen bei nicht überbrücktem Sourcewiderstand

Wird der Sourcewiderstand nicht mit einem Kondensator wechselstrommässig überbrückt wirkt  $R_S$  als Serie-Serie-Gegenkopplung. Die maximal mögliche Stufenverstärkung wird dadurch herabgesetzt. Anders als bei den Bipolartransistoren erfolgt hier in der Regel keine Aufteilung des Sourcewiderstandes in einen wechselstrommässig aktiven Teil und inaktiven Teil, um so die Stufenverstärkung gezielt zu dimensionieren. Der Hauptgrund dafür ist in der kleineren maximal erreichbaren Spannungsverstärkung begründet.

Der nicht überbrückte Sourcewiderstand wirkt auf die Spannungsverstärkung  $v_U$  und auf den Ausgangswiderstand  $r_{2S}$ . Es erfolgt ein starker Anstieg von  $r_{2S}$ . Für den Ausgangswiderstand  $r'_{2S}$  der gesamten Schaltung wirkt sich dies aber eher wenig aus da  $r'_{2S}$  massgeblich vom Drainwiderstand  $R_3$  bestimmt wird.

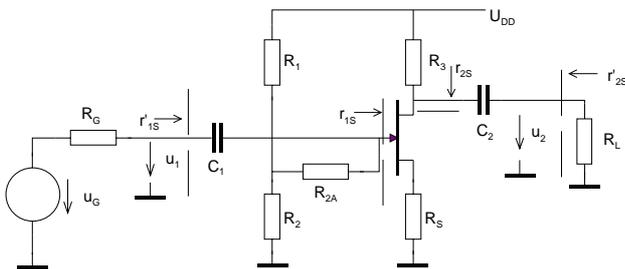


Bild 5-22: Schaltbild mit Bezeichnungen für die Einstellung der Verstärkung über den Sourcewiderstand  $R_S$ .

Für den Sourcewiderstand nach Bild 5-22 gilt  $R_S = R_r$ . Wobei  $R_r$  den Widerstandswert darstellt, der bei der DC-Dimensionierung errechnet wurde.

Die Kenngrößen für die Schaltung nach Bild 5-22 sind:

$$v_{US} = \frac{-y_{21S} r_{DS} R'_L}{R'_L + r_{DS} + R_S + R_S y_{21S} r_{DS}} \quad R'_L = R_L \parallel R_3 \quad (5.47)$$

$$r_{2S} = R_S (1 + y_{21S} r_{DS}) + r_{DS} \quad (5.48)$$

$$r'_{2S} = R_3 \parallel r_2 = \frac{R_3 [R_S (1 + y_{21S} r_{DS}) + r_{DS}]}{R_3 + R_S (1 + y_{21S} r_{DS}) + r_{DS}} \quad (5.49)$$

$$r'_{2S} = R_3 \quad (r_{DS} \rightarrow \infty) \quad (5.50)$$

Der Sourcewiderstand  $R_S$  hat für den Eingangswiderstand der Schaltung keinen Einfluss. Er wird gemäss (5.42), (5.43) bestimmt.

**Beispiel 5-6:** Ausgangswiderstand bei Sourceschaltung mit nicht überbrücktem  $R_s$ .

Man berechne die Ausgangswiderstände  $r_2$  und  $r'_2$  der Schaltung nach Bild 5-23. Die Kenngrößen des FET sind  $y_{21S}=2.6\text{mS}$ ,  $r_{DS}=45\text{k}\Omega$ .

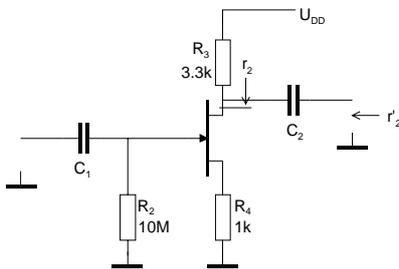


Bild 5-23: Schaltung für die Berechnung der Ausgangswiderstände in Beispiel 5-6.

**Lösung:**

Unter Verwendungen von (5.48), (5.49) findet man direkt:

**Vorgaben:**

$$y_{21S} := 2.6\text{mS} \quad r_{DS} := 45\text{k}\Omega \quad R_S := 1\text{k}\Omega \quad R_3 := 3.3\text{k}\Omega$$

**Berechnungen:**

$$r_2 := R_S \cdot (1 + y_{21S} \cdot r_{DS}) + r_{DS} \quad r_2 = 1.63 \times 10^5 \Omega$$

$$r'_2 := \frac{r_2 \cdot R_3}{r_2 + R_3} \quad r'_2 = 3.235 \times 10^3 \Omega$$

**Herleitung der Gleichung (5.47):**

Die Spannungsverstärkung wird über einen klassischen Knoten-Maschenansatz bestimmt. Die Rechnung ist an sich nicht kompliziert, aber mit einem gewissen Aufwand verbunden.

Wir zeichnen das Ersatzschaltbild mit den Knoten und Flussrichtungen der Spannungen und Ströme:

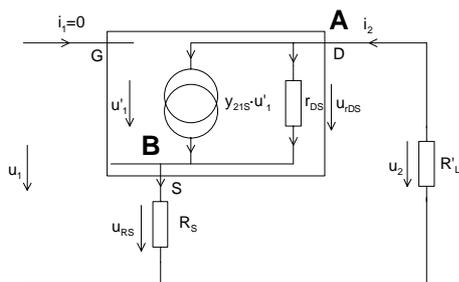


Bild 5-24: Schaltbild mit Bezeichnungen zur Bestimmung der Verstärkung bei nicht wechselstrommässig überbrücktem Sourcewiderstand  $R_s$ .

Die weitere Rechnung erfolgt mit Knoten/ Maschen nach Kirchhoff. In den Knoten A und B gilt:

$$\begin{aligned}
 A: \quad & \frac{-u_2}{R_L'} = y_{21S} (u_1 - u_{RS}) + \frac{u_2 - u_{RS}}{r_{DS}} \\
 & -u_2 r_{DS} = y_{21S} u_1 R_L' r_{DS} - y_{21S} u_{RS} R_L' r_{DS} + u_2 R_L' - u_{RS} R_L' \\
 & u_{RS} (y_{21S} R_L' r_{DS} + R_L') = y_{21S} u_1 R_L' r_{DS} + u_2 (R_L' + r_{DS}) \\
 & u_{RS} = \frac{y_{21S} u_1 R_L' r_{DS} + u_2 (R_L' + r_{DS})}{y_{21S} R_L' r_{DS} + R_L'} \\
 B: \quad & y_{21S} (u_1 - u_{RS}) + \frac{u_2 - u_{RS}}{r_{DS}} = \frac{u_{RS}}{R_S} \\
 & y_{21S} u_1 r_{DS} R_S - y_{21S} u_{RS} r_{DS} R_S + u_2 R_S - u_{RS} R_S = u_{RS} r_{DS} \\
 & y_{21S} u_1 r_{DS} R_S + u_2 R_S = u_{RS} (r_{DS} + R_S + y_{21S} r_{DS} R_S) \\
 & u_{RS} = \frac{y_{21S} u_1 r_{DS} R_S + u_2 R_S}{r_{DS} + R_S + y_{21S} r_{DS} R_S}
 \end{aligned}$$

Vorbereitende Zusammenhänge:

$$\begin{aligned}
 i_2 &= \frac{-u_2}{R_L'} \\
 u_2 &= u_{r_{DS}} + u_{RS} & u_1 &= u_1' + u_{RS} \\
 A: i_2 &= y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} \\
 B: y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} &= \frac{u_{RS}}{R_S}
 \end{aligned}$$

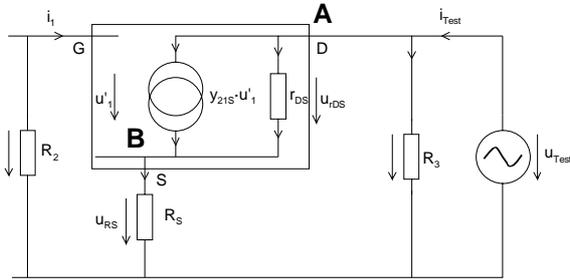
Zur Lösung nach  $v_U = u_2/u_1$  werden beide Gleichungen gleichgesetzt:

A = B:

$$\begin{aligned}
 \frac{y_{21S} u_1 R_L' r_{DS} + u_2 (R_L' + r_{DS})}{y_{21S} R_L' r_{DS} + R_L'} &= \frac{y_{21S} u_1 r_{DS} R_S + u_2 R_S}{r_{DS} + R_S + y_{21S} r_{DS} R_S} \\
 \left[ y_{21S} u_1 R_L' r_{DS} + u_2 (R_L' + r_{DS}) \right] (r_{DS} + R_S + y_{21S} r_{DS} R_S) &= (y_{21S} u_1 r_{DS} R_S + u_2 R_S) (y_{21S} R_L' r_{DS} + R_L') \\
 y_{21S} u_1 R_L' r_{DS}^2 + \cancel{y_{21S} u_1 R_S R_L' r_{DS}} + \cancel{y_{21S} u_1 R_L' R_S r_{DS}^2} + u_2 R_L' r_{DS} + \cancel{u_2 R_S R_L'} + \cancel{y_{21S} u_2 R_S R_L' r_{DS}} + u_2 r_{DS}^2 + u_2 R_S r_{DS} + y_{21S} u_2 R_S r_{DS}^2 &= \\
 \cancel{y_{21S} R_S R_L' r_{DS}^2} + \cancel{y_{21S} u_1 R_S R_L' r_{DS}} + \cancel{y_{21S} u_2 R_S R_L' r_{DS}} + \cancel{u_2 R_S R_L'} & \\
 y_{21S} u_1 R_L' r_{DS}^2 + u_2 R_L' r_{DS} + u_2 r_{DS}^2 + u_2 R_S r_{DS} + y_{21S} u_2 R_S r_{DS}^2 &= 0 \\
 y_{21S} u_1 R_L' r_{DS} + u_2 R_L' + u_2 r_{DS} + u_2 R_S + y_{21S} u_2 R_S r_{DS} &= 0 \\
 -y_{21S} u_1 R_L' r_{DS} &= u_2 (R_L' + r_{DS} + R_S + y_{21S} R_S r_{DS}) \\
 v_U = \frac{u_2}{u_1} &= \frac{-y_{21S} R_L' r_{DS}}{R_L' + r_{DS} + R_S + y_{21S} R_S r_{DS}} = \frac{-y_{21S} R_L' r_{DS}}{R_L' + r_{DS} + (1 + y_{21S} r_{DS}) R_S}
 \end{aligned}$$

**Herleitung der Gleichungen (5.48), (5.49):**

Für die Bestimmung der Ausgangswiderstände  $r_2, r_2'$  wird Das Modell nach Bild 5-25 benutzt. Der Ausgangswiderstand wird nach  $r_2' = u_{Test}/i_{Test}$  berechnet.



Vorbereitende Zusammenhänge:

$$u_{Test} = u_{rDS} + u_{RS}$$

$$u_{R2} = u_{RS} + u_1'$$

$$u_{R2} = 0 \text{ (weil } i_1=0)$$

$$u_{RS} = -u_1'$$

Bild 5-25: Schaltbild mit Bezeichnungen für die Bestimmung des Ausgangswiderstandes bei nicht wechselstrommässig überbrücktem Sourcewiderstand  $R_S$ .

Für die Knoten A und B gilt:

$$A: \quad i_{Test} = \frac{u_{Test}}{R_3} + \frac{u_{RDS}}{r_{DS}} + y_{21S}u_1' = \frac{u_{Test}}{R_3} + \frac{u_{Test} - u_{RS}}{r_{DS}} - y_{21S}u_{RS}$$

$$\rightarrow u_{RS} = \frac{u_{Test}(R_3 + r_{DS}) - i_{Test}R_3r_{DS}}{R_3(1 + y_{21S}r_{DS})}$$

$$B: \quad y_{21S}u_1' + \frac{u_{RDS}}{r_{DS}} = \frac{u_{RS}}{R_S}$$

$$-y_{21S}u_1' + \frac{u_{Test} - u_{RS}}{r_{DS}} = \frac{u_{RS}}{R_S}$$

$$\rightarrow u_{RS} = \frac{u_{Test}R_S}{r_{DS}(1 + y_{21S}r_{DS})}$$

Die Gleichungen für  $u_{RS}$  werden gleichgesetzt und nach  $i_{Test}$  aufgelöst. Anschliessend wird nach  $r_2'$  umgeformt:

$$\frac{u_{Test}(R_3 + r_{DS}) - i_{Test}R_3r_{DS}}{R_3(1 + y_{21S}r_{DS})} = \frac{u_{Test}R_S}{r_{DS}(1 + y_{21S}r_{DS})}$$

$$\rightarrow u_{Test} = \frac{i_{Test}R_3[R_S(1 + y_{21S}r_{DS}) + r_{DS}]}{R_3 + R_S(1 + y_{21S}r_{DS}) + r_{DS}}$$

$$r_2' = \frac{u_{Test}}{i_{Test}} = \frac{R_3[R_S(1 + y_{21S}r_{DS}) + r_{DS}]}{R_3 + R_S(1 + y_{21S}r_{DS}) + r_{DS}} \quad (5.51)$$

$$r_2' = R_3 \quad (r_{DS} \rightarrow \infty)$$

$$r_2 = \lim_{R_3 \rightarrow \infty} \frac{R_3[R_S(1 + y_{21S}r_{DS}) + r_{DS}]}{R_3 + R_S(1 + y_{21S}r_{DS}) + r_{DS}} = R_S(1 + y_{21S}r_{DS}) + r_{DS} \quad (5.52)$$

Der Ausgangswiderstand  $r_2$  ohne Drainwiderstand  $R_3$  nach (5.52) lässt sich direkt aus (5.51) durch Grenzwertbildung bestimmen.



Die formale Lösung von (5.56) ist wegen der aus Betragsrechnung resultierenden quadratischen Gleichung aufwendig. Bequem ist dies aber mit einem Mathematikprogramm, wie z.B. Maple zu lösen:

```
> restart;
g:=(rds+RL)*(1+I*w*RS*CS)/(rds*(1+I*w*RS*CS)+RL*(1+I*w*RS*CS)+RS*(1+y21s*rds));
g:=evalc(abs(g));
CS:=solve(g^2=1/2,CS);
```

$$g = \frac{(rds + RL)(1 + I w RS CS)}{rds(1 + I w RS CS) + RL(1 + I w RS CS) + RS(1 + y21s rds)}$$

$$CS = \frac{\sqrt{-2 rds RL + RS^2 y21s^2 rds^2 + 2 RS y21s rds^2 - rds^2 - RL^2 + 2 RS^2 y21s rds + 2 RS rds + 2 RL RS y21s rds + RS^2 + 2 RL RS}}{(rds + RL) RS w}$$

$$\frac{\sqrt{-2 rds RL + RS^2 y21s^2 rds^2 + 2 RS y21s rds^2 - rds^2 - RL^2 + 2 RS^2 y21s rds + 2 RS rds + 2 RL RS y21s rds + RS^2 + 2 RL RS}}{(rds + RL) RS w}$$

Mit einfachen algebraischen Umformungen und Einsetzen von  $w = 2\pi f_{gu}$  erhalten wir die Gleichung (5.53).

Die vereinfachte Formel nach (5.54) weist einen Fehler im Prozentbereich auf. Unter dem Gesichtspunkt, dass die Toleranzen für die Bauteile meist 20% betragen, ist der Fehler mit der Näherungsformel in der Regel vertretbar.

Die Richtigkeit der Näherung (5.54) begründet sich in der Vorgabe dass  $r_{DS} \rightarrow \infty$ :

$$\lim_{r_{DS} \rightarrow \infty} \frac{\sqrt{2R_S (r_{DS} + R'_L)(1 + y_{21S} r_{DS}) + [R_S (1 + y_{21S} r_{DS})]^2 - (r_{DS} + R'_L)^2}}{2\pi f_{gu} R_S (r_{DS} + R'_L)} = \frac{\sqrt{R_S^2 y_{21S}^2 + 2R_S y_{21S} - 1}}{2\pi f_{gu} R_S} \quad (5.57)$$

Werden Praxiswerte für  $R_S$  und  $y_{21S}$  eingesetzt, wird  $2R_S y_{21S} \approx 1$ . Die Näherung (5.57) vereinfacht sich weiter zu:

$$C_S \approx \frac{\sqrt{R_S^2 y_{21S}^2 + 1 - 1}}{2\pi f_{gu} R_S} = \frac{y_{21S}}{2\pi f_{gu}} \quad (5.58)$$

**Beispiel 5-7:** Frequenzbestimmender Sourcekondensator.

Man bestimme den Wert des Sourcekondensators für eine Grenzfrequenz von 100Hz. Die Kondensatoren  $C_1$ ,  $C_2$  sind nicht frequenzbestimmend.

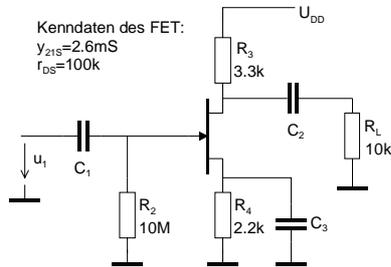


Bild 5-27: Schaltbild für die Berechnung des Sourcekondensators in Beispiel 5-7.

**Lösung:**

Unter Verwendung von (5.57), (5.58) findet man direkt:

**Vorgaben:**

$$R_4 := 2.2k\Omega \quad R_3 := 3.3k\Omega \quad R_L := 10k\Omega \quad f_{gu} := 100Hz$$

$$y_{21S} := 2.8mS \quad r_{DS} := 100k\Omega$$

**Berechnungen:**

$$R_L' := \frac{R_3 \cdot R_L}{R_3 + R_L} \quad R_L' = 2.481 \times 10^3 \Omega$$

$$C_3 := \frac{\sqrt{2 \cdot R_4 \cdot (r_{DS} + R_L') \cdot (1 + y_{21S} \cdot r_{DS}) + [R_4 \cdot (1 + y_{21S} \cdot r_{DS})]^2 - (r_{DS} + R_L')^2}}{2\pi \cdot f_{gu} \cdot R_4 \cdot (r_{DS} + R_L')} \quad C_3 = 4.983 \times 10^{-6} F$$

$$C_3 := \frac{y_{21S}}{2\pi \cdot f_{gu}} \quad (\text{Näherung}) \quad C_3 = 4.456 \times 10^{-6} F$$

**Beispiel 5-8:** Vollständige Dimensionierung einer Verstärkerstufe in Sourceschaltung.

Zu realisieren ist die Dimensionierung einer Sourceschaltung nach Bild 5-28. Bei der unteren Grenzfrequenz soll der Amplitudengang mit 20dB/Dekade sinken.

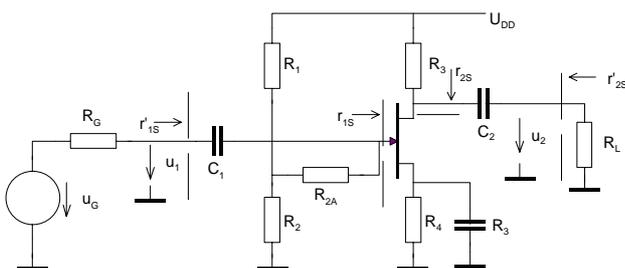


Bild 5-28: Schaltbild der zu dimensionierenden Verstärkerstufe in Beispiel 5-8.

**Vorgaben:**

$$U_{DD} = 24V \quad U_P = -3V \dots -6V \quad I_{DSS} = 12mA \dots 15mA \quad I_D = 5 \pm 1mA$$

$$r_{DS} = 50k\Omega \quad R_L = 2k\Omega \quad R_G = 1M\Omega \quad r_{1S}' \geq 2M\Omega$$

$$I_Q = 10\mu A \quad U_{DS} = 10V \quad f_{gu} = 300Hz$$

### Lösung:

Zuerst wird die DC-Dimensionierung vorgenommen:

#### Vorgaben:

$$\begin{array}{llll}
 U_{DD} := 24V & U_{Pmin} := -3V & U_{Pmax} := -6V & U_{DS} := 10V \\
 I_{Dmin} := 4mA & I_{Dmax} := 6mA & I_{DSSmin} := 12mA & I_{DSSmax} := 15mA \\
 r_{1Smin} := 2M\Omega & R_G := 1M\Omega & f_{gu} := 300Hz & r_{DS} := 50k\Omega \\
 R_L := 2k\Omega & I_Q := 10\mu A & & 
 \end{array}$$

#### Berechnung der Widerstände:

$$R_4 := \frac{|U_{Pmax}| \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) - |U_{Pmin}| \cdot \left(1 - \sqrt{\frac{I_{Dmin}}{I_{DSSmin}}}\right)}{|I_{Dmax} - I_{Dmin}|} \quad R_4 = 468.659 \times 10^0 \Omega$$

$$R_3 := \frac{U_{DD} - U_{DS} - I_{Dmax} \cdot R_4}{I_{Dmax}} \quad R_3 = 1.865 \times 10^3 \Omega$$

$$U_{R2} := U_{Pmax} \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) + I_{Dmax} \cdot R_4 \quad U_{R2} = 606.686 \times 10^{-3} V$$

$$R_1 := \frac{U_{DD} - U_{R2}}{I_Q} \quad R_1 = 2.339 \times 10^6 \Omega$$

$$R_2 := \frac{U_{R2}}{I_Q} \quad R_2 = 60.669 \times 10^3 \Omega$$

$$R_{12} := \frac{R_1 \cdot R_2}{R_1 + R_2} \quad R_{12} = 59.135 \times 10^3 \Omega$$

$$R_{2Amin} := r_{1Smin} - R_{12} \quad R_{2Amin} = 1.941 \times 10^6 \Omega$$

$$R_{2A} := \text{ceilNormH}(R_{2Amin}, E12) = (2.2 \times 10^6 \Omega)$$

Anschliessend erfolgt die Bestimmung der Ein- und Ausgangswiderstände. Sie bilden auch die Grundlage für die Dimensionierung der Kondensatoren. Aus der Vorgabe der Amplitudensteilheit ergibt sich, dass nur ein Kondensator frequenzbestimmend sein darf. Hier wählt man  $C_3$ , weil der Sourcekondensator in der Regel den grössten Wert hat. Alle anderen Kondensatoren werden ebenfalls auf die Grenzfrequenz dimensioniert, aber nachher mit dem Faktor 10 multipliziert. So haben  $C_p$ ,  $C_2$  keinen Einfluss mehr auf die untere Grenzfrequenz. Die Verstärkung der gesamten Stufe im mittleren Frequenzbereich wo die Kondensatoren wechselstrommässig als Kurzschlüsse betrachten werden, wird nach (5.41) bestimmt:

**Ein- und Ausgangswiderstände:**

$$r_{1S} := R_{12} + R_{2A} \quad r_{1S} = 2.259 \times 10^6 \Omega$$

$$r_{2S} := r_{DS} \quad r_{2S} = 50 \times 10^3 \Omega$$

$$r'_{2S} := \frac{r_{DS} \cdot R_3}{r_{DS} + R_3} \quad r'_{2S} = 1.798 \times 10^3 \Omega$$

**Kondensatoren:**

$$y_{21S} := \frac{2}{|U_{pmax}|} \cdot \sqrt{I_{Dmax} \cdot I_{DSSmax}} \quad y_{21S} = 3.162 \times 10^{-3} S$$

$$C_4 := \frac{y_{21S}}{2\pi \cdot f_{gu}} \quad C_4 = 1.678 \times 10^{-6} F$$

$$C_1 := \frac{10}{2\pi \cdot f_{gu} \cdot (R_G + r_{1S})} \quad \text{(Nicht frequenzbestimmend)} \quad C_1 = 1.628 \times 10^{-9} F$$

$$C_2 := \frac{10}{2\pi \cdot f_{gu} \cdot (R_L + r'_{2S})} \quad \text{(Nicht frequenzbestimmend)} \quad C_2 = 1.397 \times 10^{-6} F$$

$$R'_L := \frac{R_L \cdot R_3}{R_L + R_3} \quad R'_L = 964.984 \times 10^0 \Omega$$

**Spannungsverstärkung:**

$$v_U := \frac{-y_{21S} \cdot r_{DS} \cdot R'_L}{r_{DS} + R'_L} \quad v_U = -2.994 \times 10^0$$

**Beispiel 5-9:** Analyse Verstärkerstufe in Sourceschaltung.

Gegeben ist die Verstärkerstufe nach Bild 5-29. Zu bestimmen sind:

- a.)  $v_U$  im mittleren Frequenzbereich
- b.)  $\Delta v_U$ , wenn  $\Delta I_D = I_D \pm 0.5mA$  beträgt.

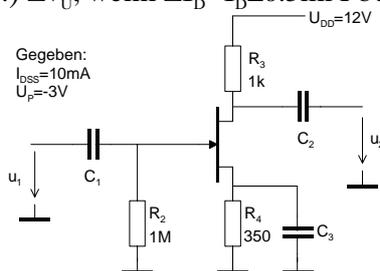


Bild 5-29: Schaltbild für die Berechnung der Spannungsverstärkung in Beispiel 5-9.

**Lösung:**

Der Drainstrom  $I_D$  wurde bereits in Beispiel 5-4 mit  $I_D=3.5mA$  bestimmt. Die restlichen Berechnungen werden mit (5.4) und (5.41):

**Vorgaben:**

$$U_{DD} := 12V \quad U_p := -3V \quad I_{DSS} := 10mA$$

$$R_4 := 350\Omega \quad R_3 := 1k\Omega \quad \Delta I_D := 0.5mA \quad I_D = 3.5 \times 10^{-3} A$$

**Berechnungen:**

$$R'_L := R_3 \quad \text{(weil kein rds spezifiziert)}$$

a.)  $v_U$

$$y_{21S} := \frac{2}{|U_p|} \cdot \sqrt{I_D \cdot I_{DSS}} \quad y_{21S} = 3.944 \times 10^{-3} S$$

$$v_{US} := -y_{21S} \cdot R'_L \quad v_{US} = -3.944$$

b.)  $\Delta v_U$

$$\Delta y_{21S} := \frac{2}{|U_p|} \cdot \left[ \sqrt{(I_D + \Delta I_D) \cdot I_{DSS}} - \sqrt{(I_D - \Delta I_D) \cdot I_{DSS}} \right] \quad \Delta y_{21S} = 5.649 \times 10^{-4} S$$

$$\Delta v_U := -\Delta y_{21S} \cdot R'_L \quad |\Delta v_U| = 0.565$$

## 5.5 Gateschaltung

Die Gateschaltung hat eine hohe Spannungsverstärkung. Der Eingangswiderstand ist klein und liegt typisch im  $100\Omega$  bis  $k\Omega$ -Bereich. Der Ausgangswiderstand ist hoch und wird primär durch den Drainwiderstand  $R_3$  bestimmt. Vom Verhalten her ist die Gateschaltung mit der Basisschaltung zu vergleichen, jedoch ist die erreichbare Stufenverstärkung in der Regel kleiner.

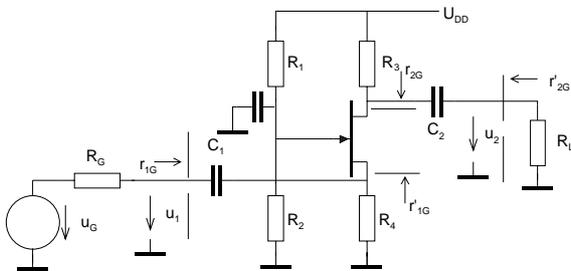


Bild 5-30: Einstufiger FET-Verstärker in Gateschaltung.

### 5.5.1 Kenngrößen der Gateschaltung:

$$v_{UG} = \frac{(y_{21S} r_{DS} + 1) R'_L}{r_{DS} + R'_L} \quad R'_L = R_L \parallel R_3 \quad (5.59)$$

$$r_{1G} = \frac{r_{DS} + R'_L}{y_{21S} r_{DS} + 1} \quad (5.60)$$

$$r'_{1G} = R_4 \parallel r_{1G} = \frac{R_4 (R'_L + r_{DS})}{R'_L + r_{DS} + R_4 (1 + y_{21S} r_{DS})} \quad (5.61)$$

$$r_{2G} = r_{DS} + R'_4 (1 + y_{21S} r_{DS}) \quad R'_4 = R_4 \parallel R_G \quad (5.62)$$

$$r'_{2G} = R_3 \parallel r_{2G} = \quad (5.63)$$

### 5.5.2 Herleitung der Gleichungen für die Kenngrößen der Gateschaltung

Ausgehend vom Bild 5-30 wird das wechselstrommässige Ersatzschaltbild gemäss Bild 5-31 abgeleitet. Es bildet die Grundlage für alle nachfolgenden Betrachtungen. Da das Gate an Masse liegt, erfolgt ein Vorzeichenwechsel bei der Eingangsspannung. Für die Stromquelle in Bild 5-31 gilt daher  $-y_{21S}u_1$ .

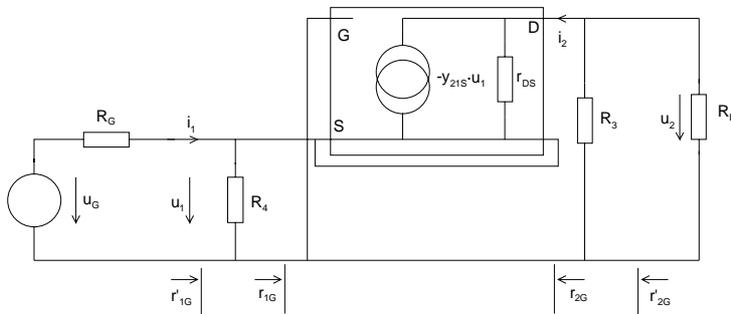
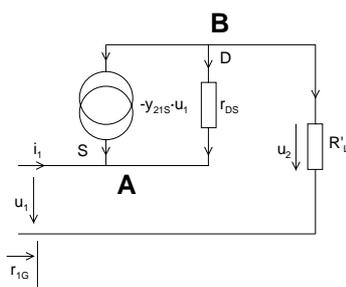


Bild 5-31: Wechselstrommässiges Ersatzschaltbild für die Gateschaltung nach Bild 5-30.

#### Eingangswiderstand $r_{1G}$

Der Eingangswiderstand der Schaltung wird über den Eingangswiderstand  $r_{1G}$  am Sourceanschluss bestimmt. In den Knoten A und B gilt für die Schaltung nach Bild 5-32:



$$u_1 + u_{r_{DS}} = u_2$$

$$A: \quad i_1 + \frac{u_{r_{DS}}}{r_{DS}} - y_{21S}u_1 = 0$$

$$B: \quad y_{21S}u_1 - \frac{u_{r_{DS}}}{r_{DS}} - \frac{u_2}{R_L} = 0$$

$$R_L' = R_L \parallel R_3$$

$$\rightarrow u_2 = u_1 (1 + y_{21S}r_{DS}) - i_1 r_{DS}$$

$$\rightarrow u_2 = \frac{u_1 R_L' (1 + y_{21S}r_{DS})}{r_{DS} + R_L'}$$

Bild 5-32: Ersatzschaltbild für die Bestimmung des Eingangswiderstandes der Gateschaltung nach Bild 5-31.

Beide Knoten werden nach  $u_2$  umgestellt und gleichgesetzt. Der Eingangswiderstand  $r_{1G}$  wird nachher direkt:

$$u_1 (1 + y_{21S}r_{DS}) - i_1 r_{DS} = \frac{u_1 R_L' (1 + y_{21S}r_{DS})}{r_{DS} + R_L'} \quad \rightarrow u_1 (1 + y_{21S}r_{DS}) = i_1 (r_{DS} + R_L')$$

$$r_{1G} = \frac{u_1}{i_1} = \frac{R_L' + r_{DS}}{1 + y_{21S}r_{DS}} \quad (5.64)$$

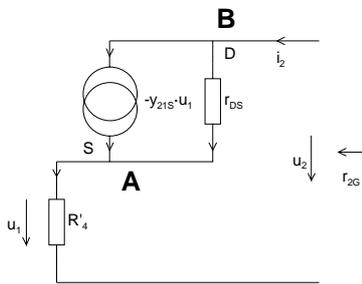
Der Schaltungseingangswiderstand wird durch Parallelschaltung mit  $R_4$  bestimmt. Bemerkenswert sind auch die Grenzwerte bei  $r_{DS} \rightarrow \infty$ :

$$r_{1G\infty} = \lim_{r_{DS} \rightarrow \infty} \frac{R_L' + r_{DS}}{1 + y_{21S}r_{DS}} = \frac{1}{y_{21S}} \quad (5.65)$$

$$r_{1G\infty}' = \lim_{r_{DS} \rightarrow \infty} \frac{R_4 (R_L' + r_{DS})}{R_L' + r_{DS} + R_4 (1 + y_{21S}r_{DS})} = \frac{R_4}{1 + y_{21S}R_4} \quad (5.66)$$

### Ausgangswiderstand $r_{2G}$

Der Ausgangswiderstand wird  $r_2$  wird über  $u_2/i_2$  bestimmt. Für diese Betrachtung wird das Ersatzschaltbild vereinfacht.



$$u_1 = u_1' \quad u_1 + u_{r_{DS}} = u_2$$

$$R_4' = R_4 \parallel R_G$$

$$A: \quad \frac{u_1}{R_4'} = -y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}}$$

$$\rightarrow u_1 = \frac{u_2 R_4'}{r_{DS} + R_4' + y_{21S} R_4' r_{DS}}$$

$$B: \quad i_2 = -y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}}$$

$$\rightarrow u_1 = \frac{u_2 - i_2 r_{DS}}{1 + y_{21S} r_{DS}}$$

Bild 5-33: Ersatzschaltbild für die Bestimmung des Ausgangswiderstandes der Gateschaltung nach Bild 5-31.

Mit dem Gleichsetzen der Knotengleichungen für A und B findet man direkt den Ausgangswiderstand des FET:

$$\frac{u_2 R_4'}{r_{DS} + R_4' + y_{21S} R_4' r_{DS}} = \frac{u_2 - i_2 r_{DS}}{1 + y_{21S} r_{DS}}$$

(5.67)

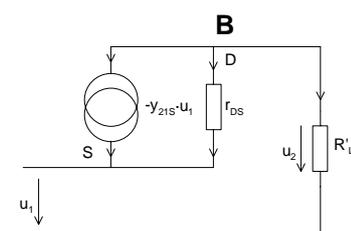
$$r_{2G} = \frac{u_2}{i_2} = r_{DS} + R_4' (1 + y_{21S} r_{DS})$$

Der Schaltungsausgangswiderstand wird durch Parallelschaltung mit  $R_3$  bestimmt.

Wird die Schaltung von einer idealen Spannungsquelle angesteuert, ist  $R_G = 0$ . Damit vereinfacht sich der Ausgangswiderstand zu  $r_{2G} = r_{DS}$ .

### Spannungsverstärkung $v_{UG}$

Zur Herleitung der Spannungsverstärkung wird das Ersatzschaltbild nach Bild 5-31 angepasst. Es wird wie in den vorhergehenden Fällen vorgegangen. Wie bei der Spannungsverstärkungsrechnung üblich, geht man davon aus, dass von einer Spannungsquelle eingespeisen wird. Daher ist nur der Drainknoten relevant.



$$u_1 + u_{r_{DS}} = u_2 \quad R_L' = R_3 \parallel R_L$$

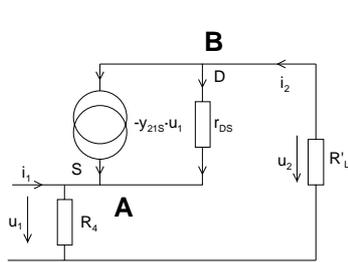
$$B: \quad -\frac{u_2}{R_L'} + y_{21S} u_1 - \frac{u_{r_{DS}}}{r_{DS}} = 0$$

$$\rightarrow v_{UG} \frac{u_2}{u_1} = \frac{R_L' (1 + y_{21S} r_{DS})}{r_{DS} + R_L'}$$

Bild 5-34: Ersatzschaltbild für die Bestimmung der Spannungsverstärkung der Gateschaltung nach Bild 5-31.

**Stromverstärkung  $v_{IG}$**

Bei der Gateschaltung liegt wegen des endlichen Eingangswiderstandes keine leistungslose Ansteuerung vor. Deshalb kann für diese Schaltung eine Stromverstärkung  $v_{IG}=i_2/i_1$  definiert werden.



$$\begin{aligned}
 u_1 + u_{r_{DS}} &= u_2 & u_1' &= u_1 & i_2 &= -\frac{u_2}{R'_L} \\
 A: \quad i_1 - y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} &= \frac{u_1}{R_4} & \rightarrow u_1 &= \frac{i_1 R_4 r_{DS} + u_2 R_4}{r_{DS} + y_{21S} R_4 r_{DS}} \\
 B: \quad i_2 &= -y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} & \rightarrow u_1 &= \frac{u_2 (r_{DS} + R'_L)}{1 + y_{21S} r_{DS}}
 \end{aligned}$$

Bild 5-35: Ersatzschaltbild für die Bestimmung der Stromverstärkung der Gateschaltung nach Bild 5-31.

Zur Lösung werden die Knotengleichungen gleich gesetzt und  $u_2$  mit  $i_2$  beschrieben:

$$\begin{aligned}
 u_2 &= -i_2 R'_L \\
 \frac{u_2 i_1 R_4 r_{DS} + u_2 R_4}{r_{DS} + y_{21S} R_4 r_{DS}} &= \frac{-i_2 R'_L (r_{DS} + R'_L)}{1 + y_{21S} r_{DS}} \quad \rightarrow v_{IG} = \frac{i_2}{i_1} = \frac{-R_4 (1 + y_{21S} r_{DS})}{R'_L (r_{DS} + R'_L + y_{21S} R_4 (r_{DS} + R'_L))} \quad (5.68)
 \end{aligned}$$

Für den Fall  $r_{DS} \rightarrow \infty$  vereinfacht sich die Formel zu:

$$v_{IG\infty} = \lim_{r_{DS} \rightarrow \infty} \frac{-R_4 (1 + y_{21S} r_{DS})}{R'_L (r_{DS} + R'_L + y_{21S} R_4 (r_{DS} + R'_L))} = \frac{-y_{21S} R_4}{R'_L (1 + y_{21S} R_4)} \quad (5.69)$$

## 5.6 Drainschaltung

Sie wird meist als Entkopplungsstufe oder Impedanzwandler verwendet und ist von den Eigenschaften her ähnlich der Emitterfolgerschaltung bei den Bipolartransistoren.

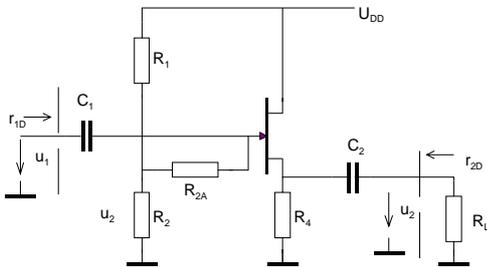


Bild 5-36: Einstufiger FET-Verstärker in Drainschaltung.

### 5.6.1 Kenngrößen der Drainschaltung:

Für die Drainschaltung gelten die Dimensionierungsformeln:

$$v_{UD} = \frac{y_{21S} R'_L r_{DS}}{r_{DS} + R'_L (1 + y_{21S} r_{DS})} \quad R'_L = R_4 \parallel R_L \quad (5.70)$$

$$r_{1D} = \infty \quad (5.71)$$

$$r_{2D} = \frac{r_{DS}}{1 + y_{21S} r_{DS}} = \frac{1}{y_{21S} + y_{22S}} \quad (5.72)$$

$$r'_{2D} = r_{2D} \parallel R_4 \quad (5.73)$$

### 5.6.2 Herleitung der Gleichungen für die Drainschaltung

Für die Herleitungen wird das vereinfachte Ersatzschaltbild nach Bild 5-37 verwendet:

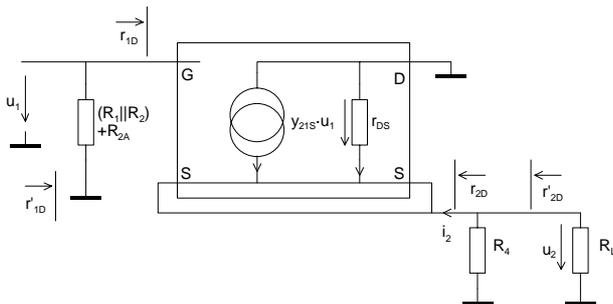


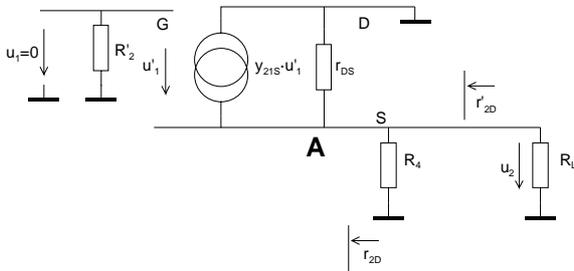
Bild 5-37: Vereinfachtes wechselstrommässiges Ersatzschaltbild der Drainschaltung nach Bild 5-36.

### Eingangswiderstand $r_{1D}$

Der Eingangswiderstand ist sofort ersichtlich und bedarf keiner weiteren Erläuterungen.

### Ausgangswiderstand $r_{2D}$

Der Ansatz zur Bestimmung des Ausgangswiderstandes wird aus dem Ersatzschaltbild nach Bild 5-37 abgeleitet.



$$u_1 = 0 = u_1' + u_2 \rightarrow u_1' = -u_2$$

$$u_{r_{DS}} = u_2 \quad R_4' = R_4 \parallel R_L$$

$$A: \quad i_2 + y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} = 0$$

$$\rightarrow r_{2D} = \frac{r_{DS}}{1 + y_{21S} r_{DS}}$$

Bild 5-38: Ersatzschaltbild für die Bestimmung des Ausgangswiderstandes der Drainschaltung nach Bild 5-36.

Für  $r_{DS} \rightarrow \infty$  strebt der Ausgangswiderstand nach:

$$r_{2D\infty} = \lim_{r_{DS} \leftarrow \infty} \frac{r_{DS}}{1 + y_{21S} r_{DS}} = \frac{1}{y_{21S}} \quad (5.74)$$

### Spannungsverstärkung $v_{UD}$

Für den Ansatz zur Herleitung der Spannungsverstärkung  $v_{UD}$  wird das Ersatzschaltbild nach Bild 5-38 verwendet.

$$u_1 = u_1' + u_2 \quad u_2 + u_{r_{DS}} = 0 \quad R_L' = R_4 \parallel R_L$$

$$A: \quad y_{21S} u_1' + \frac{u_{r_{DS}}}{r_{DS}} = \frac{u_2}{R_L'}$$

$$y_{21S} (u_1 - u_2) + \frac{-u_2}{r_{DS}} = \frac{u_2}{R_L'} \quad \rightarrow v_{UD} = \frac{u_2}{u_1} = \frac{y_{21S} R_L' r_{DS}}{r_{DS} + R_L' (1 + y_{21S} r_{DS})} \quad (5.75)$$

Für grosse  $r_{DS}$  ( $r_{DS} \rightarrow \infty$ ) strebt der Ausgangswiderstand nach:

$$v_{UD\infty} = \lim_{r_{DS} \rightarrow \infty} \frac{y_{21S} R_L' r_{DS}}{r_{DS} + R_L' (1 + y_{21S} r_{DS})} = \frac{y_{21S} R_L'}{1 + y_{21S} R_L'} \quad (5.76)$$

## 5.7 IGFET

Bei diesen FET ist das Gate mit einer dünnen Isolationsschicht vom Leitungskanal isoliert. Synonym werden diese FET auch als MOSFET (Metal Oxide Semiconductor FET) bezeichnet.

Die Steuerung des Stromflusses erfolgt durch Influenz. Das elektrische Verhalten des Kanals ist praktisch gleich wie beim JFET. IGFET werden heute grösstenteils für Leistungsanwendungen eingesetzt. Sie erlauben die praktisch leistungslose Steuerung von grossen Strömen.

Für Kleinsignalanwendungen werden IGFET ebenfalls eingesetzt, bis in den HF-Bereich. Besonderheiten sind sog. Dual-Gate MOSFET. Sie verfügen über zwei Gateanschlüsse. Das zweite Gate dient zur Steuerung der Steilheit.

Durch die Gateisolation sind IGFET sowohl selbstleitende Typen DMOSFET (bei  $U_{GS}=0V$ ) wie auch selbstsperrende Typen EMOSFET (bei  $U_{GS}=0V$ ) möglich. Umgangssprachlich werden selbstleitende IGFET auch als *Verarmungstypen* bezeichnet und selbstsperrende Typen als *Anreicherungsstypen*, obwohl das nicht ganz korrekt ist.

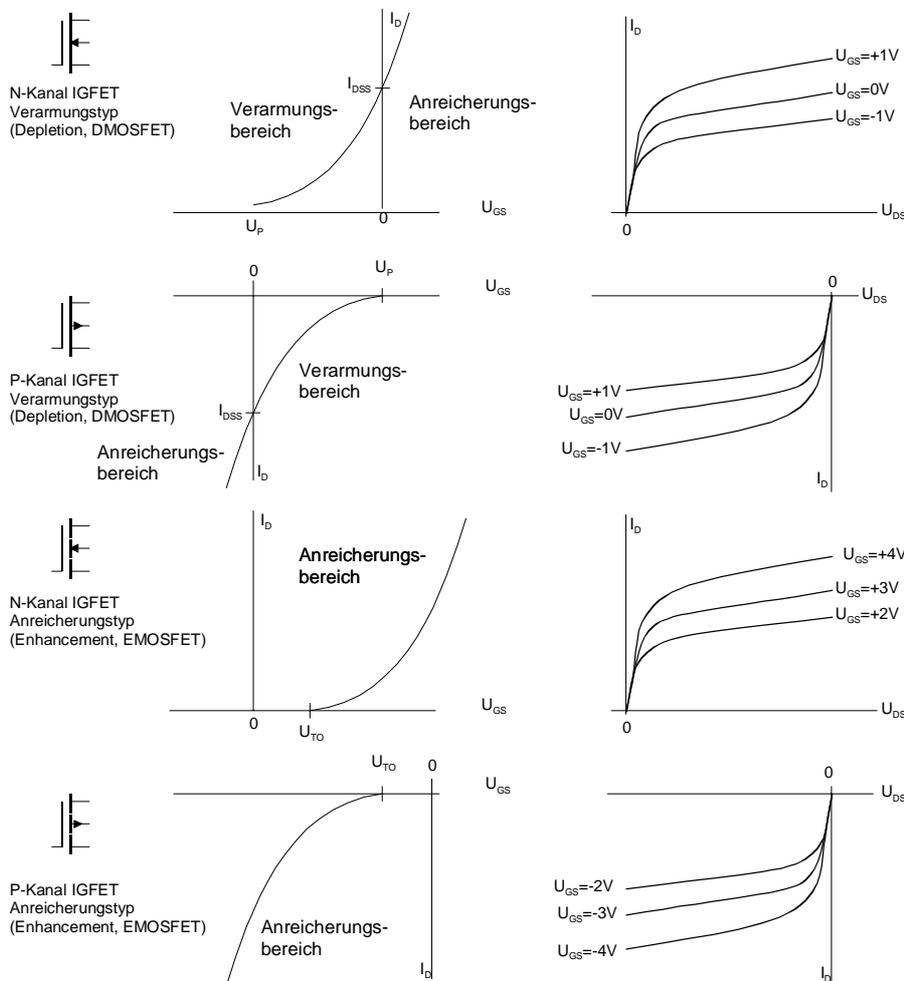


Bild 5-39: Schaltsymbole und Kennlinien der IGFET.

IGFET haben oft einen zusätzlichen Anschluss, das sog. Substrat-Gate auch Back-Gate genannt. Es wird im Regelfall mit dem Sourceanschluss verbunden. Über das Substrat-Gate kann die Steilheit beeinflusst werden. Weiterführende Informationen zur Steuerungsfunktion des Substrat-Gate sind in [TEX76, S.113ff] zu finden.

### 5.7.1 Selbstleitende IGFET

Sie sind vom Verhalten her genau gleich wie JFETs. Da aber IGFET keine Gate-Diode besitzen, können sie auch im Anreicherungsbereich ( $U_{GS} > 0V$  bei einem N-Kanal FET) betrieben werden. Die DC-Kenngrößen sind auch  $U_P$  und  $I_{DSS}$ . Die formalen Zusammenhänge für  $I_D(U_{GS})$  und  $I_D(U_{GS})$

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_P} \right)^2 \quad (5.77)$$

$$U_{GS} = U_P \left( 1 - \sqrt{\frac{I_D}{I_{DSS}}} \right) \quad (5.78)$$

$$y_{21S} = \frac{2\sqrt{I_D \cdot I_{DSS}}}{|U_P|} \quad (5.79)$$

### 5.7.2 Selbstsperrende IGFET

Selbstsperrende IGFET arbeiten nur im Anreicherungsbereich. Man definiert hier eine Spannung  $U_{TO}$  (Turn On Voltage). Sie definiert die Schwelle, bei der ein signifikanter Stromfluss einsetzt, ähnlich  $U_P$  beim JFET. Die  $I_D(U_{GS})$ -Kennlinie hat ebenfalls einen quadratischen Verlauf.

$$I_D = \frac{(U_{GS} - U_{TO})^2 I_{DX}}{(U_{GSX} - U_{TO})^2} = k_P (U_{GS} - U_{TO})^2 \quad \forall |U_{TO}| \leq |U_{GS}| \quad (5.80)$$

$$k_P = \frac{I_{DX}}{(U_{GSX} - U_{TO})^2} \quad (5.81)$$

$$U_{GS} = U_{TO} + (U_{GSX} - U_{TO}) \sqrt{\frac{I_D}{I_{DX}}} \quad (5.82)$$

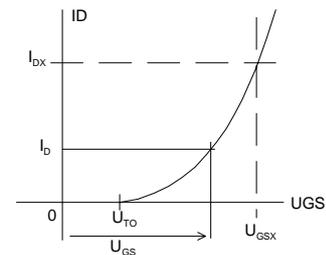


Bild 5-40:  $I_D(U_{GS})$ -Kennlinie des selbstsperrenden IGFET.

Das Wertepaar  $(I_D, U_{GSX})$  stellt einen beliebigen Punkt der in der  $I_D(U_{GS})$ -Kennlinie dar. Der Parameter  $k_P$  ist ein typspezifischer Parameter. Die Steilheit wird analog zum JFET:

$$y_{21S} = \frac{2}{(U_{GSX} - U_{TO})} \sqrt{I_D I_{DX}} \quad (5.83)$$

$$= \frac{2I_{DX} (U_{GS} - U_{TO})}{(U_{GSX} - U_{TO})^2} = 2k_P (U_{GS} - U_{TO}) \quad (5.84)$$

Für Leistungsanwendungen verwendet man selbstsperrende IGFET. Sie können meist direkt mit Logikpegel angesteuert werden. Leistungs-IGFET haben aber in der Regel recht grosse Gatekapazitäten (im nF Bereich). Die Ansteuerungsstufe muss bei Schaltvorgängen in der Lage sein diese Kapazitäten schnell umzuladen. Aus diesem Grunde ist die Steuerung nicht ganz leistungslos.

### Begründung der Kennlinie und Steilheit

Die Kennlinie nach muss als quadratische Funktion folgende Bedingungen erfüllen:

$$f(U_{GS})|_{U_{GS}=U_{TO}} = 0$$

$$f(U_{GS})|_{U_{GS}=U_{GSX}} = I_{DX}$$

$$f(U_{GS})|_{U_{GS}=U_{TO}} = \min f(U_{GS})$$

Aus der ersten und dritten Forderung erkennt man, dass nur eine Parabel mit einer doppelten Nullstelle bei  $U_{TO}$  diese Bedingung erfüllt. Dies wird mit dem Binom im Zähler von (5.85) erfüllt. Die zweite Bedingung wird durch die Skalierung mit dem Nennerbinom und der Multiplikation mit  $I_{DX}$  erfüllt. Das Nennerbinom setzt den Funktionswert bei  $U_{GSX}$  auf 1. Mit  $I_{DX}$  multipliziert wird die zweite Bedingung erfüllt.

$$I_D = \frac{(U_{GS} - U_{TO})^2}{(U_{GSX} - U_{TO})^2} I_{DX} \quad (5.85)$$

Aus der Darstellung (5.85) kann durch Differenziation die Steilheit beim selbstsperrenden IGFET bestimmt werden und wir erhalten die Formel (5.84):

$$\begin{aligned} y_{21s} = \frac{\partial I_D}{\partial U_{GS}} &= \frac{\partial}{\partial U_{GS}} \frac{(U_{GS} - U_{TO})^2}{(U_{GSX} - U_{TO})^2} I_{DX} = \frac{I_{DX}}{(U_{GSX} - U_{TO})^2} \frac{\partial}{\partial U_{GS}} (U_{GS}^2 - 2U_{GS}U_{TO} + U_{TO}^2) \\ &= \frac{2I_{DX} (U_{GS} - U_{TO})}{(U_{GSX} - U_{TO})^2} \end{aligned}$$

Wird nun für  $U_{GS}$  die Beziehung (5.82) eingesetzt erhält man die Gleichung (5.83):

$$y_{21s} = g_m = \frac{2I_{DX} \left( U_{TO} + (U_{GSX} - U_{TO}) \sqrt{\frac{I_D}{I_{DX}}} - U_{TO} \right)}{(U_{GSX} - U_{TO})^2} = \frac{2I_{DX} \cancel{(U_{GSX} - U_{TO})} \sqrt{\frac{I_D}{I_{DX}}}}{(U_{GSX} - U_{TO})^2} = \frac{2\sqrt{I_D I_{DX}}}{(U_{GSX} - U_{TO})}$$

Gleichung (5.82) lässt sich direkt durch algebraische Umformung aus (5.80) ableiten:

$$\begin{aligned} I_D &= \frac{(U_{GS} - U_{TO})^2 I_{DX}}{(U_{GSX} - U_{TO})^2} \\ \frac{I_D}{I_{DX}} &= \frac{(U_{GS} - U_{TO})^2}{(U_{GSX} - U_{TO})^2} \\ \sqrt{\frac{I_D}{I_{DX}}} &= \frac{(U_{GS} - U_{TO})}{(U_{GSX} - U_{TO})} \quad \rightarrow U_{GS} = U_{TO} + (U_{GSX} - U_{TO}) \sqrt{\frac{I_D}{I_{DX}}} \end{aligned} \quad (5.86)$$

### 5.7.3 DC-Dimensionierung

Sie erfolgt beim Verarmungstyp vom Vorgehen genau gleich wie bei einer JFET-Stufe. Es werden dieselben Parameter verwendet.

Beim Anreicherungstyp ist das Vorgehen ähnlich. Als Besonderheit kann beim Anreicherungstyp eine Stabilisierung des Arbeitspunktes gegenüber Exemplarstreuungen des FET mit einem Rückführwiderstand nach Bild 5-41c erfolgen.

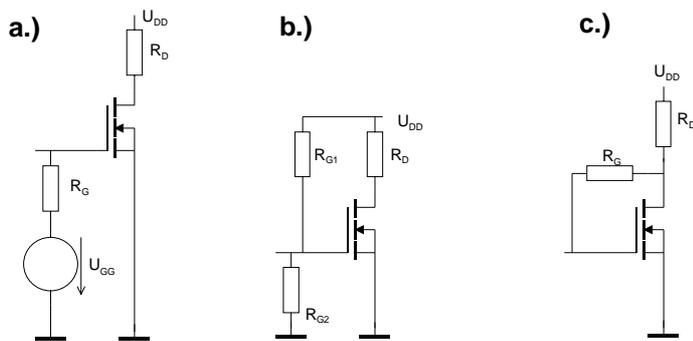


Bild 5-41: Die Arbeitspunkteinstellung beim selbstsperrenden IGFET ist auf drei Arten üblich:

- a.) Arbeitspunkteinstellung mit fester Quelle U<sub>GG</sub>.
- b.) Einstellung mit Spannungsteiler.
- c.) Einstellung mit Rückführwiderstand.

Der Rückführwiderstand stellt eine Parallel-Parallel-Gegenkopplung dar. Sie wirkt DC-mässig, wie auch im AC-Bereich. Dadurch sinken die Ein- und Ausgangswiderstände, sowie die Verstärkung der Stufe. In vielen Fällen sind diese Folgen unerwünscht.

Durch eine Beschaltung nach Bild 5-42 können diese Folgen im AC-Bereich eliminiert werden. Die Widerstände  $R_{G1}$ ,  $R_{G2}$  sind typischerweise im M $\Omega$ -Bereich.

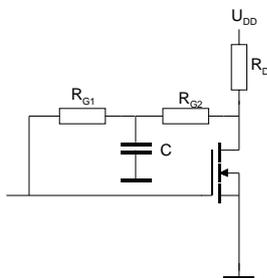


Bild 5-42: Durch die Aufteilung des Rückführwiderstandes R<sub>G</sub> nach Bild 5-41c und Abblockkondensator C wirkt die Parallel-Parallel Gegenkopplung nur noch DC-mässig.

Unterstellt man für die Schaltung nach Bild 5-42, dass die Spannung über dem FET und  $R_D$  hälftig aufgeteilt wird, wird der Wert für  $R_D$ :

$$R_D = \frac{U_{DD}}{2 k_P \left( \frac{U_{DD}}{2} - U_{TO} \right)^2} \quad \left( U_{DS} = U_{RD} = \frac{U_{DD}}{2} \right) \quad (5.87)$$

**Begründung der Gleichung (5.87)**

Für den Drainstrom gilt nach (5.81):

$$I_D = k_p (U_{GS} - U_{TO})^2 \quad |U_{TO}| \leq |U_{GS}| \quad (5.88)$$

Für eine maximal symmetrische Aussteuerbarkeit der Stufe wird  $U_{DS} = U_{DD}/2$  gewählt. Da  $U_{GS} = U_{DS}$  wird (5.88)

$$I_D = k_p \left( \frac{U_{DD}}{2} - U_{TO} \right)^2 \quad |U_{TO}| \leq |U_{GS}| \quad (5.89)$$

Daraus folgt direkt der Wert für  $R_D$ :

$$R_D = \frac{U_{RD}}{I_D} = \frac{U_{DD}}{2 k_p \left( \frac{U_{DD}}{2} - U_{TO} \right)^2} \quad \left( U_{DS} = U_{RD} = \frac{U_{DD}}{2} \right) \quad (5.90)$$

**Beispiel 5-10: DC Dimensionierung einer Stufe EMOSFET.**

Gegeben sei die Verstärkerstufe nach Bild 5-43. Zu bestimmen ist  $R_D$  für maximale Aussteuerbarkeit:

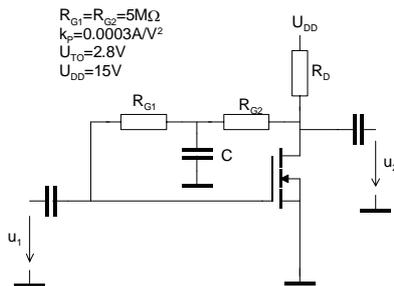


Bild 5-43: Schaltbild für die Dimensionierung des Drainwiderstandes in Beispiel 5-10.

**Lösung:**

$R_D$  wird direkt mit (5.87) bestimmt:

**Vorgaben:**

$$U_{DD} := 15V \quad U_{TO} := 3V \quad k_p := 0.0003 \frac{A}{V^2}$$

**Berechnung:**

$$R_D := \frac{U_{DD}}{2 \cdot k_p \cdot \left( \frac{U_{DD}}{2} - U_{TO} \right)^2} \quad R_D = 1.235 \times 10^3 \Omega$$

### 5.7.4 Arbeitspunktanalyse

Die Analyse des Arbeitspunktes bei gegebener Beschaltung kann auf verschiedenartige Weise erfolgen. Grundsätzlich ist es möglich, aus den Kenngrößen  $U_{TO}$  und  $I_{DX}(U_{GSX})$  durch Verschiebung der Kennlinie ein zugehöriges  $U_P$  und  $I_{DSS}$  zu bestimmen und dann mit der bereits bekannten Arbeitspunktformel (5.25) zu rechnen.

Alternativ kann ein direkter Ansatz erfolgen.  $U_{GSX}$  und  $I_{DX}$  verkörpern einen beliebigen Messwert in der Kennlinie für ein  $U_{GS} > U_{TO}$  beim N-Kanal IGFET.

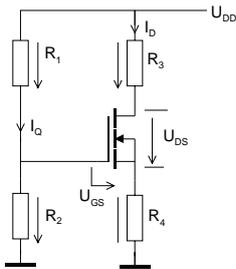


Bild 5-44: Schaltbild zur DC-Analyse beim IGFET.

$$U_{R2} - I_D R_4 = U_{GS} = U_{TO} + (U_{GSX} - U_{TO}) \sqrt{\frac{I_D}{I_{DX}}}$$

$$U_{R2} - I_D R_4 - U_{TO} = (U_{GSX} - U_{TO}) \sqrt{\frac{I_D}{I_{DX}}}$$

$$(U_{R2} - I_D R_4 - U_{TO})^2 = (U_{GSX} - U_{TO})^2 \frac{I_D}{I_{DX}}$$

Die quadratische Gleichung kann mit etwas Aufwand formal gelöst werden und man erhält das Resultat:

$$I_D = (U_{GSX} - U_{TO}) \frac{U_{GSX} - U_{TO} \pm \sqrt{(U_{GSX} - U_{TO})^2 + 4I_{DX}R_4(U_{R2} - U_{TO})}}{2I_{DX}R_4} + \frac{U_{R2} - U_{TO}}{R_4} \quad (5.91)$$

**Beispiel 5-11:** Analyse des Arbeitspunktes beim IGFET.

Man bestimme  $I_D$ ,  $U_{GS}$  und  $U_{DS}$  der Verstärkerstufe in Bild 5-45:

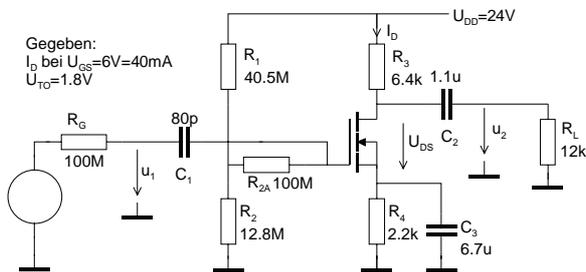


Bild 5-45: Schaltbild für Arbeitspunktanalyse beim IGFET nach Beispiel 5-11 .

**Lösung:**

Zuerst wird  $I_D$  mit (5.91) bestimmt. Anschliessend wird  $U_{GS}$  mit (5.86) berechnet. Aus  $I_D$ ,  $U_{DD}$  und den Widerständen  $R_3, R_5$  ergibt sich aus der Maschengleichung direkt  $U_{DS}$ .

**Vorgaben:**

$U_{DD} := 24V$       $R_1 := 40.5M\Omega$       $R_2 := 12.8M\Omega$       $U_{TO} := 1.8V$

$R_4 := 2.2k\Omega$       $R_3 := 6.4k\Omega$       $I_{DX} := 40mA$       $U_{GSX} := 6V$

**Berechnungen:**

$$U_{R2} := \frac{U_{DD} \cdot R_2}{R_1 + R_2} \qquad U_{R2} = 5.764V$$

$$I_{D1} := (U_{GSX} - U_{TO}) \cdot \frac{(U_{GSX} - U_{TO}) + \sqrt{(U_{GSX} - U_{TO})^2 + 4 \cdot I_{DX} \cdot R_4 \cdot (U_{R2} - U_{TO})}}{2 \cdot I_{DX} \cdot R_4^2} + \frac{U_{R2} - U_{TO}}{R_4} \qquad I_{D1} = 2.255 \times 10^{-3} A$$

$$I_{D2} := (U_{GSX} - U_{TO}) \cdot \frac{(U_{GSX} - U_{TO}) - \sqrt{(U_{GSX} - U_{TO})^2 + 4 \cdot I_{DX} \cdot R_4 \cdot (U_{R2} - U_{TO})}}{2 \cdot I_{DX} \cdot R_4^2} + \frac{U_{R2} - U_{TO}}{R_4} \qquad I_{D2} = 1.439 \times 10^{-3} A \quad (\text{Richtige Lösung})$$

$I_D := I_{D2}$

$$U_{GS} := U_{TO} + (U_{GSX} - U_{TO}) \cdot \sqrt{\frac{I_D}{I_{DX}}} \qquad U_{GS} = 2.597V$$

$$U_{DS} := U_{DD} - I_D \cdot (R_3 + R_4) \qquad U_{DS} = 11.62V$$

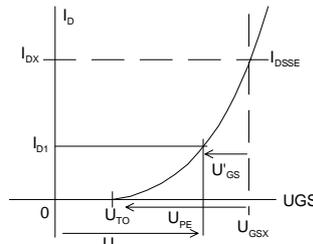
**Beispiel 5-12:** Analyse des Arbeitspunktes beim IGFET mit  $U_p$  und  $I_{DSS}$ .  
Dieselbe Aufgabe wie Beispiel 5-11, jedoch soll mit der bereits bekannten Arbeitspunktgleichung für JFET gearbeitet werden.

**Lösung:**

Zuerst wird die  $I_D(U_{GS})$ -Kennlinie um  $-U_{TO}$  nach links verschoben. Nun definiert man  $U_p$  als  $-U_{TO}$  und ein fiktives  $I_{DSS}$  wird nach (5.1) berechnet.

$$U_p = -U_{TO} = -1.8V$$

$$I_{DSS} = \frac{I_{DX}}{\left(1 - \frac{U_{GSX}}{U_{TO}}\right)} = 7.347mA$$



Vorbereitende Zusammenhänge:

$$U_{R2} = \frac{U_{DD} \cdot R_2}{R_1 \cdot R_2} \quad U_{DD} = I_D (R_3 + R_4) + U_{DS}$$

Bild 5-46: Kennlinie und Umrechnung der Kenngrößen vom IGFET zum JFET in Beispiel 5-12.

Nun wird die am Gate aktive Spannung  $U_{R2}$  bestimmt. Für diese ist wegen des Vorzeichenwechsels von  $U_p$  auch  $U_{R2}$  negativ zu definieren.

$$U_{R2} = \frac{-U_{DD} R_2}{R_1 + R_2} = \frac{-24 \cdot 12.8M}{40.5M + 12.8M} = -5.764V$$

Nun kann  $I_D$  über die Arbeitspunktformel (5.25) bestimmt werden. Es wird  $I_{D1}$  verwendet, weil nur dieser Wert die Maschengleichung für  $U_{CC}$  erfüllt.

$$U_{R2} = -5.764V \quad U_p = -1.8V \quad I_{DSS} = 7.347 \times 10^{-3} A$$

$$I_{D1} := \frac{U_p^2 - 2 \cdot I_{DSS} \cdot R_4 \cdot (U_{R2} - U_p) + U_p \sqrt{U_p^2 - 4 \cdot I_{DSS} \cdot R_4 \cdot (U_{R2} - U_p)}}{2 \cdot I_{DSS} \cdot R_4^2} \quad I_{D1} = 1.439 \times 10^{-3} A$$

$$I_{D2} := \frac{U_p^2 - 2 \cdot R_4 \cdot I_{DSS} \cdot (U_{R2} - U_p) - U_p \sqrt{U_p^2 - 4 \cdot R_4 \cdot I_{DSS} \cdot (U_{R2} - U_p)}}{2 \cdot R_4^2 \cdot I_{DSS}} \quad I_{D2} = 2.255 \times 10^{-3} A$$

$$I_D := I_{D1}$$

$$U_{DS} := U_{DD} - I_D \cdot (R_3 + R_4) \quad U_{DS} = 11.62V$$

$$U_{GS} := -U_{R2} - I_D \cdot R_4 \quad U_{GS} = 2.597V$$

**5.7.5 AC-Dimensionierung bei Schaltungen mit IGFET**

Die Wechselstromdimensionierung erfolgt genau gleich wie bei JFET Schaltungen. Aus diesem Grund wird auf die entsprechenden Kapitel und die weiterführenden Beispiele verwiesen.

## 5.8 Weiterführende Beispiele

**Beispiel 5-13:** Analyse des Arbeitspunktes beim IGFET mit  $U_p$  und  $I_{DSS}$ .

Zu bestimmen sind

- Alle Widerstände
- $V_u$  im mittleren Frequenzbereich.

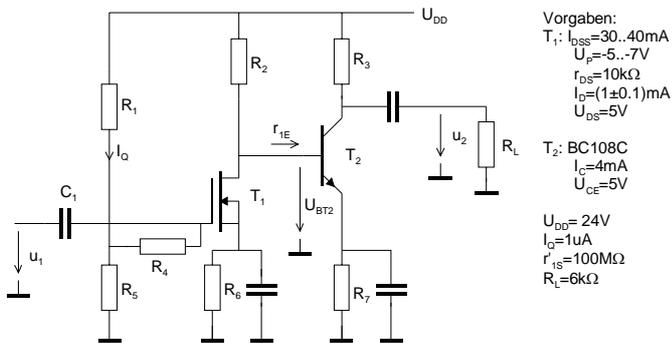


Bild 5-47: Schaltbild zum Beispiel 5-13.

### Lösung:

Zuerst werden die DC- und H-Parameter für den Transistor T2 aus dem Datenblatt gelesen:

BC108C bei  $I_C=4\text{mA}$  und  $U_{CE}=5\text{V}$ :

$$h_E = \begin{pmatrix} 5.5\text{k}\Omega & 1.5 \cdot 10^{-4} \\ 620 & 100\mu\text{S} \end{pmatrix} \quad U_{BE} = 0.64\text{V} \quad H_{FE} = 560$$

**Vorgaben:**

$$U_{DD} := 24V \quad I_{DSSmin} := 30mA \quad I_{DSSmax} := 40mA \quad U_{Pmin} := -5V \quad U_{Pmax} := -7V$$

$$I_D := 1mA \quad \Delta I_D := 0.1mA \quad r_{DS} := 10k\Omega \quad U_{DS} := 5V$$

$$U_{CE} := 5V \quad I_Q := 1\mu A \quad R_L := 6k\Omega \quad r'_{1S} := 100M\Omega \quad I_C := 4mA$$

Aus dem Datenblatt BC108C bei  $I_C=4mA$ ,  $U_{CE}=5V$ :

$$h_{11e} := 5.5k\Omega \quad h_{12e} := 1.5 \cdot 10^{-4} \quad h_{21e} := 620 \quad h_{22e} := 100\mu S$$

$$U_{BE} := 0.64V \quad H_{FE} := 560$$

**Berechnungen FET-Stufe:**

$$I_{Dmin} := I_D - \Delta I_D \quad I_{Dmin} = 9 \times 10^{-4} A$$

$$I_{Dmax} := I_D + \Delta I_D \quad I_{Dmax} = 1.1 \times 10^{-3} A$$

$$R_6 := \frac{|U_{Pmax}| \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) - |U_{Pmin}| \cdot \left(1 - \sqrt{\frac{I_{Dmin}}{I_{DSSmin}}}\right)}{|I_{Dmax}| - |I_{Dmin}|} \quad R_6 = 8.526 \times 10^3 \Omega$$

$$U_{GS} := U_{Pmax} \cdot \left(1 - \sqrt{\frac{I_{Dmax}}{I_{DSSmax}}}\right) \quad U_{GS} = -5.839V$$

$$U_{R5} := U_{GS} + I_{Dmax} \cdot R_6 \quad U_{R5} = 3.539V$$

$$R_1 := \frac{U_{DD} - U_{R5}}{I_Q} \quad R_1 = 2.046 \times 10^7 \Omega$$

$$R_5 := \frac{U_{R5}}{I_Q} \quad R_5 = 3.539 \times 10^6 \Omega$$

$$R_{1R5} := \frac{R_1 \cdot R_5}{R_1 + R_5} \quad R_{1R5} = 3.017 \times 10^6 \Omega$$

$$R_{4min} := r'_{1S} - R_{1R5} \quad R_{4min} = 9.698 \times 10^7 \Omega$$

$$R_4 := 100M\Omega \quad (\text{Wahl})$$

$$R_2 := \frac{U_{DD} - U_{DS} - I_{Dmax} \cdot R_6}{I_{Dmax} + \frac{I_C}{H_{FE}}} \quad R_2 = 8.69 \times 10^3 \Omega$$

Die Dimensionierung der Bipolarstufe erfolgt auf der bereits definierten Spannung  $U_{BT2}$ :

**Berechnungen Bipolar-Stufe:**

$$U_{BT2} := I_{Dmax} \cdot R_6 + U_{DS}$$

$$U_{BT2} = 14.379V$$

$$R_7 := \frac{U_{BT2} - U_{BE}}{I_C \cdot \left(1 + \frac{1}{H_{FE}}\right)}$$

$$R_7 = 3.429 \times 10^3 \Omega$$

$$R_3 := \frac{U_{DD} - U_{CE} - I_C \cdot \left(1 + \frac{1}{H_{FE}}\right) \cdot R_7}{I_C}$$

$$R_3 = 1.315 \times 10^3 \Omega$$

**Spannungsverstärkungen:**

$$R'_{LT2} := \frac{R_L \cdot R_3}{R_L + R_3}$$

$$R'_{LT2} = 1.079 \times 10^3 \Omega$$

$$\det H_e := h_{11e} \cdot h_{22e} - h_{12e} \cdot h_{21e}$$

$$\det H_e = 0.457$$

$$r_{1E} := \frac{h_{11e} + \det H_e \cdot R'_{LT2}}{1 + h_{22e} \cdot R'_{LT2}}$$

$$r_{1E} = 5.409 \times 10^3 \Omega$$

$$R'_{LT1} := \frac{R_2 \cdot r_{1E}}{R_2 + r_{1E}} \quad (\text{Last für Transistor T1})$$

$$R'_{LT1} = 3.334 \times 10^3 \Omega$$

$$y_{21S} := \frac{2}{|U_{Pmax}|} \cdot \sqrt{I_{Dmax} \cdot I_{DSSmax}}$$

$$y_{21S} = 1.895 \times 10^{-3} S$$

$$v_{UT1} := \frac{-y_{21S} \cdot I_{DS} \cdot R'_{LT1}}{R'_{LT1} + I_{DS}}$$

$$v_{UT1} = -4.739$$

$$v_{UT2} := \frac{-h_{21e} \cdot R'_{LT2}}{h_{11e} + \det H_e \cdot R'_{LT2}}$$

$$v_{UT2} = -111.609$$

$$v_{Utot} := v_{UT1} \cdot v_{UT2}$$

$$v_{Utot} = 528.897$$

**Beispiel 5-14: Regelverstärker mit J-FET.**

Gesucht:  $V_{US}$  bei  $U_R=0V$  und  $U_R=2V$  im mittleren Frequenzbereich der Schaltung nach Bild 5-48.

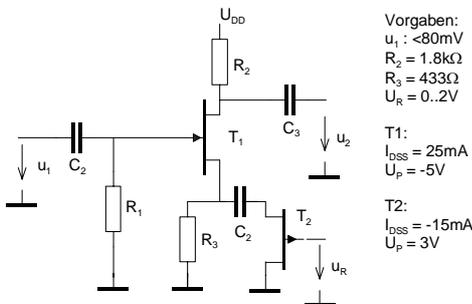


Bild 5-48: Schaltbild zum Beispiel 5-14.

**Lösung:**

Der Arbeitspunkt wird direkt mit (5.3) bestimmt.  $T_2$  wird im ohmschen Bereich betrieben. Relevant sind die  $r_{DS\Omega}$  von  $T_2$  bei  $U_R=0V$  und  $U_R=2V$ . Die Zusammenschaltung  $R_3, C_2$  und  $r_{DS\Omega_{0V}}, r_{DS\Omega_{2V}}$  ergeben eine Impedanz, die für  $R_S$  in (5.47) eingesetzt wird. Da eine Untersuchung im mittleren Frequenzbereich verlangt ist, können alle Kondensatoren als Kurzschlüsse betrachtet werden. Es entfällt in diesem Fall eine komplexe Rechnung.

Zur Bestimmung des Arbeitspunktes wird (5.3) benutzt. Die noch unbekannte Grösse  $U_{GS}$  kann mit  $I_D R_3$  eingesetzt werden. Man erhält eine quadratische Gleichung mit zwei Resultaten. Nur das erste Resultat ist technisch möglich (Der zweite Wert ergibt ein  $U_{GS} < U_p$ ).

Ansatz:

$$I_D = I_{DSS} \left( 1 - \frac{U_{GS}}{U_P} \right)^2 = I_{DSS} \left( 1 - \frac{I_D R_3}{U_P} \right)^2 = I_{DSS} \left( 1 - 2 \frac{-I_D R_3}{U_P} + \frac{I_D^2 R_3^2}{U_P^2} \right)$$

$$0 = I_{DSS} + 2 \frac{I_D I_{DSS} R_3}{U_P} - I_D + \frac{I_D^2 I_{DSS} R_3^2}{U_P^2}$$

$$0 = U_P^2 I_{DSS} + 2 I_D I_{DSS} R_3 U_P - I_D U_P^2 + I_D^2 I_{DSS} R_3^2 = U_P^2 I_{DSS} + I_D U_P (2 I_{DSS} R_3 - U_P) + I_D^2 I_{DSS} R_3^2$$

$$\rightarrow I_D = \begin{pmatrix} 0.00592237 \\ 0.0225028 \end{pmatrix} mA$$

Die gesamte Rechnung wird mit MathCad:

**Vorgaben:**

$$I_{DSS1} := 25mA \quad U_{PT1} := -5V$$

$$I_{DSS2} := -15mA \quad U_{PT2} := 3V$$

$$R_2 := 1.8k\Omega \quad R_3 := 433\Omega$$

**Arbeitspunkt bestimmen:**

$$v := \begin{bmatrix} U_{PT1}^2 \cdot I_{DSS1} \cdot \frac{1}{\sqrt{2}} \\ U_{PT1} \cdot (2 \cdot I_{DSS1} \cdot R_3 - U_{PT1}) \cdot \frac{A}{\sqrt{2}} \\ I_{DSS1} \cdot R_3^2 \cdot \frac{A^2}{\sqrt{2}} \end{bmatrix}$$

$$r := \text{nullstellen}(v) \cdot A \quad r = \begin{pmatrix} 5.9255 \times 10^{-3} \\ 0.0225 \end{pmatrix} A$$

r

$$I_D := r_1$$

$$I_D = 0.0225A$$

(1. Lösung wählen)

**rDSΩ bestimmen:**

$$U_{GS} := 0V$$

$$r_{DS\Omega 0V} := \frac{-U_{PT2}}{2 \cdot I_{DSS2} \cdot \left( 1 - \frac{U_{GS}}{U_{PT2}} \right)}$$

$$r_{DS\Omega 0V} = 100\Omega$$

$$U_{GS} := 2V$$

$$r_{DS\Omega 2V} := \frac{-U_{PT2}}{2 \cdot I_{DSS2} \cdot \left( 1 - \frac{U_{GS}}{U_{PT2}} \right)}$$

$$r_{DS\Omega 2V} = 300\Omega$$

$$R_{S0V} := \frac{R_3 \cdot r_{DS\Omega 0V}}{R_3 + r_{DS\Omega 0V}}$$

$$R_{S0V} = 81.2383\Omega$$

$$R_{S2V} := \frac{R_3 \cdot r_{DS\Omega 2V}}{R_3 + r_{DS\Omega 2V}}$$

$$R_{S2V} = 177.2169\Omega$$

**Steilheit im Arbeitspunkt:**

$$y_{21ST1} := I_{DSS1} \cdot \left[ \frac{-2 \cdot \left( \sqrt{\frac{I_D}{I_{DSS1}}} \right)}{U_{PT1}} \right]$$

$$y_{21ST1} = 9.4874 \times 10^{-3} S$$

**Verstärkungen:**

$$R_L := R_2$$

$$v_{US0V} := \frac{-y_{21ST1} \cdot R_L}{1 + y_{21ST1} \cdot R_{S0V}}$$

$$v_{US0V} = -9.6442$$

$$v_{US2V} := \frac{-y_{21ST1} \cdot R_L}{1 + y_{21ST1} \cdot R_{S2V}}$$

$$v_{US2V} = -6.369$$

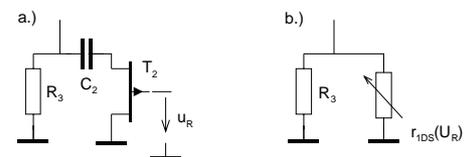


Bild 5-49: RS0V,RS2V bilden sich aus der Parallelschaltung von R3 und dem rDS des FET.

## 5.9 Literaturverzeichnis

- [GRA71] Operational Amplifiers, Jerald Graeme/ Gene Tobey, McGraw-Hill 1971, ISBN 07-064917-0
- [HOE85] SPICE- Analyseprogramm für elektronische Schaltungen, E. Hofer/ H. Nieling, Springer Verlag 1985, ISBN 3-540-15160-5
- [KRU-ME98] Skript Mikroelektronik I, Kapitel Bipolartransistoren, Gerhard Krucker, 1998.
- [TEX77] Das FET Kochbuch, Texas Instruments Deutschland 1977, ISBN 3-88078-001-3
- [THO76] Bauelemente der Halbleiterelektronik, H.Tholl, Verlag Teubner 1976, ISBN 3-519-06418-9
- [TOB71] Operational Amplifiers, J. Graeme/ G. Tobey/ L. Huelsman, Mc Graw-Hill 1971, ISBN 07-064917-0

## 5.10 Datenblätter

### 5.10.1 BF245

**DISCRETE SEMICONDUCTORS**

# DATA SHEET

## **BF245A; BF245B; BF245C** N-channel silicon field-effect transistors

Product specification  
Supersedes data of April 1995  
File under Discrete Semiconductors, SC07

1996 Jul 30

**Philips**  
Semiconductors



# PHILIPS

**N-channel silicon field-effect transistors BF245A; BF245B; BF245C**

**FEATURES**

- Interchangeability of drain and source connections
- Frequencies up to 700 MHz.

**APPLICATIONS**

- LF, HF and DC amplifiers.

**DESCRIPTION**

General purpose N-channel symmetrical junction field-effect transistors in a plastic TO-92 variant package.

**CAUTION**

The device is supplied in an antistatic package. The gate-source input must be protected against static discharge during transport or handling.

**PINNING**

PIN	SYMBOL	DESCRIPTION
1	d	drain
2	s	source
3	g	gate

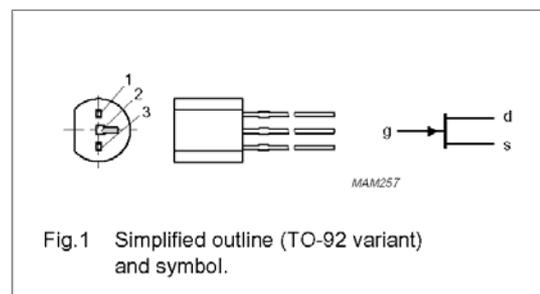


Fig. 1 Simplified outline (TO-92 variant) and symbol.

**QUICK REFERENCE DATA**

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$V_{DS}$	drain-source voltage		–	–	$\pm 30$	V
$V_{GSoff}$	gate-source cut-off voltage	$I_D = 10 \text{ nA}; V_{DS} = 15 \text{ V}$	–0.25	–	–8	V
$V_{GS0}$	gate-source voltage	open drain	–	–	–30	V
$I_{DSS}$	drain current	$V_{DS} = 15 \text{ V}; V_{GS} = 0$				
	BF245A		2	–	6.5	mA
	BF245B		6	–	15	mA
	BF245C		12	–	25	mA
$P_{tot}$	total power dissipation	$T_{amb} = 75 \text{ }^\circ\text{C}$	–	–	300	mW
$ y_{fs} $	forward transfer admittance	$V_{DS} = 15 \text{ V}; V_{GS} = 0;$ $f = 1 \text{ kHz}; T_{amb} = 25 \text{ }^\circ\text{C}$	3	–	6.5	mS
$C_{rs}$	reverse transfer capacitance	$V_{DS} = 20 \text{ V}; V_{GS} = -1 \text{ V};$ $f = 1 \text{ MHz}; T_{amb} = 25 \text{ }^\circ\text{C}$	–	1.1	–	pF

N-channel silicon field-effect transistors

BF245A; BF245B; BF245C

**LIMITING VALUES**

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
$V_{DS}$	drain-source voltage		–	$\pm 30$	V
$V_{GDO}$	gate-drain voltage	open source	–	–30	V
$V_{GSO}$	gate-source voltage	open drain	–	–30	V
$I_D$	drain current		–	25	mA
$I_G$	gate current		–	10	mA
$P_{tot}$	total power dissipation	up to $T_{amb} = 75\text{ }^\circ\text{C}$ ;	–	300	mW
		up to $T_{amb} = 90\text{ }^\circ\text{C}$ ; note 1	–	300	mW
$T_{stg}$	storage temperature		–65	+150	$^\circ\text{C}$
$T_j$	operating junction temperature		–	150	$^\circ\text{C}$

**Note**

1. Device mounted on a printed-circuit board, minimum lead length 3 mm, mounting pad for drain lead minimum 10 mm  $\times$  10 mm.

**THERMAL CHARACTERISTICS**

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th(j-a)}$	thermal resistance from junction to ambient	in free air	250	K/W
	thermal resistance from junction to ambient		200	K/W

**STATIC CHARACTERISTICS**

$T_j = 25\text{ }^\circ\text{C}$ ; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
$V_{(BR)GSS}$	gate-source breakdown voltage	$I_G = -1\text{ }\mu\text{A}$ ; $V_{DS} = 0$	–30	–	V
$V_{GSoff}$	gate-source cut-off voltage	$I_D = 10\text{ nA}$ ; $V_{DS} = 15\text{ V}$	–0.25	–8.0	V
$V_{GS}$	gate-source voltage	$I_D = 200\text{ }\mu\text{A}$ ; $V_{DS} = 15\text{ V}$	–0.4	–2.2	V
	BF245A		–1.6	–3.8	V
	BF245C		–3.2	–7.5	V
$I_{DSS}$	drain current	$V_{DS} = 15\text{ V}$ ; $V_{GS} = 0$ ; note 1	2	6.5	mA
	BF245A		6	15	mA
	BF245C		12	25	mA
$I_{GSS}$	gate cut-off current	$V_{GS} = -20\text{ V}$ ; $V_{DS} = 0$	–	–5	nA
		$V_{GS} = -20\text{ V}$ ; $V_{DS} = 0$ ; $T_j = 125\text{ }^\circ\text{C}$	–	–0.5	$\mu\text{A}$

**Note**

1. Measured under pulse conditions:  $t_p = 300\text{ }\mu\text{s}$ ;  $\delta \leq 0.02$ .

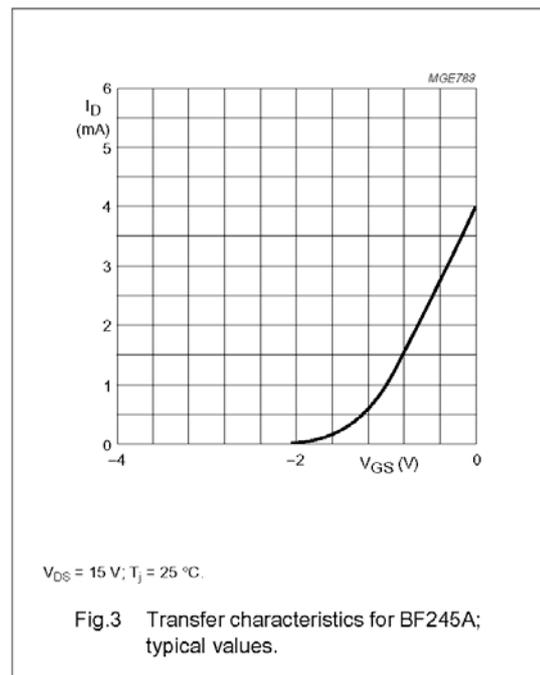
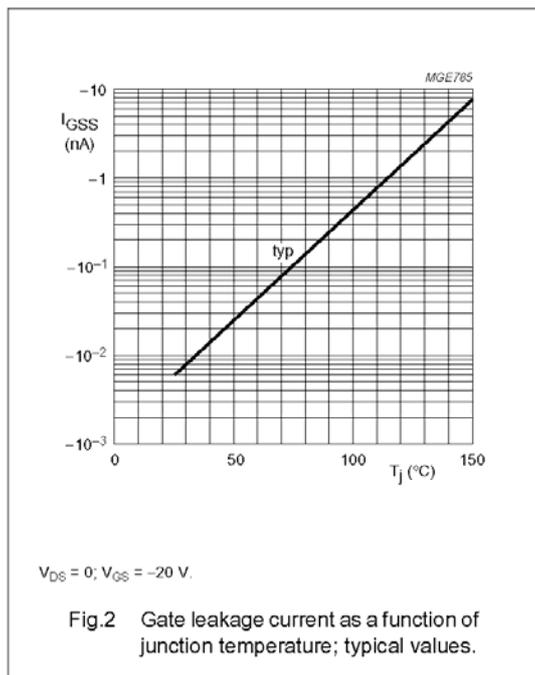
N-channel silicon field-effect transistors

BF245A; BF245B; BF245C

**DYNAMIC CHARACTERISTICS**

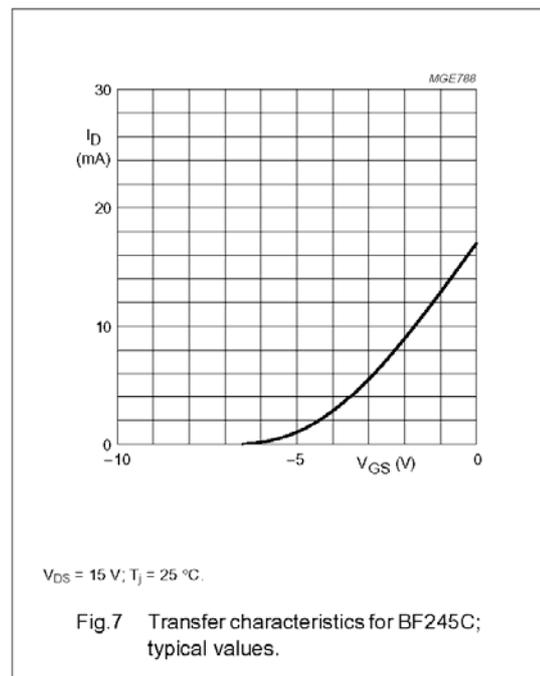
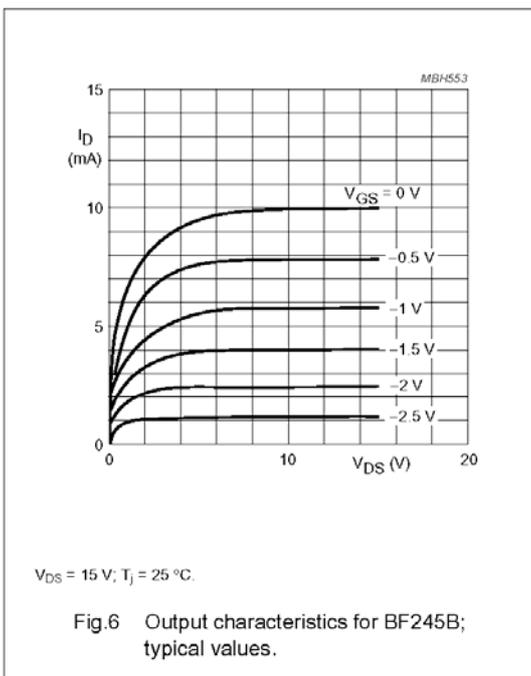
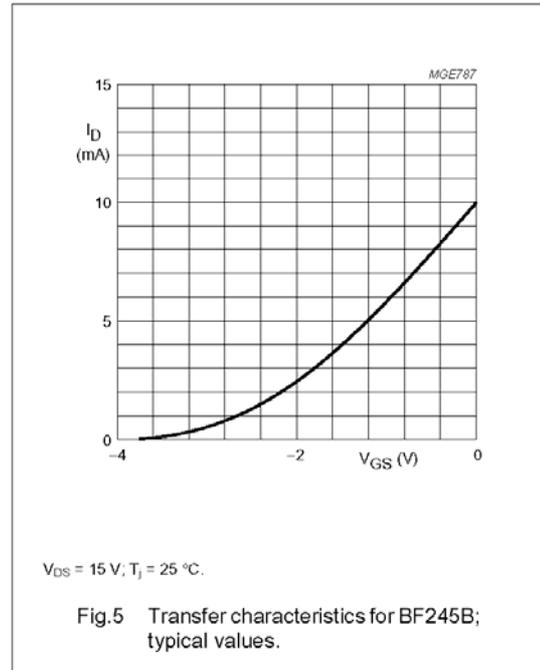
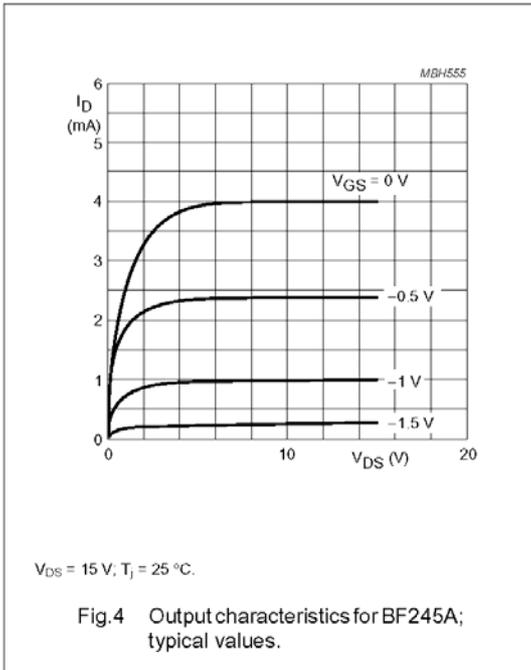
Common source;  $T_{amb} = 25\text{ }^{\circ}\text{C}$ ; unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$C_{is}$	input capacitance	$V_{DS} = 20\text{ V}; V_{GS} = -1\text{ V}; f = 1\text{ MHz}$	–	4	–	pF
$C_{rs}$	reverse transfer capacitance	$V_{DS} = 20\text{ V}; V_{GS} = -1\text{ V}; f = 1\text{ MHz}$	–	1.1	–	pF
$C_{os}$	output capacitance	$V_{DS} = 20\text{ V}; V_{GS} = -1\text{ V}; f = 1\text{ MHz}$	–	1.6	–	pF
$g_{is}$	input conductance	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 200\text{ MHz}$	–	250	–	$\mu\text{S}$
$g_{os}$	output conductance	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 200\text{ MHz}$	–	40	–	$\mu\text{S}$
$ y_{fs} $	forward transfer admittance	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 1\text{ kHz}$	3	–	6.5	mS
		$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 200\text{ MHz}$	–	6	–	mS
$ y_{rs} $	reverse transfer admittance	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 200\text{ MHz}$	–	1.4	–	mS
$ y_{os} $	output admittance	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 1\text{ kHz}$	–	25	–	$\mu\text{S}$
$f_{gfs}$	cut-off frequency	$V_{DS} = 15\text{ V}; V_{GS} = 0; g_{fs} = 0.7$ of its value at 1 kHz	–	700	–	MHz
F	noise figure	$V_{DS} = 15\text{ V}; V_{GS} = 0; f = 100\text{ MHz}; R_G = 1\text{ k}\Omega$ (common source); input tuned to minimum noise	–	1.5	–	dB



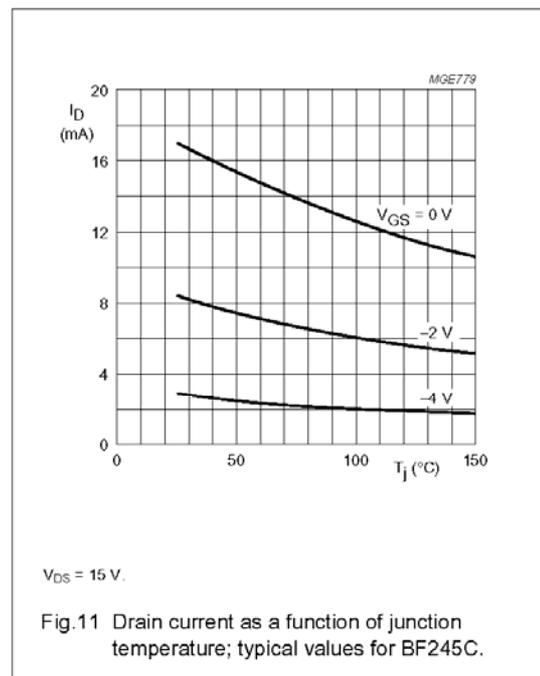
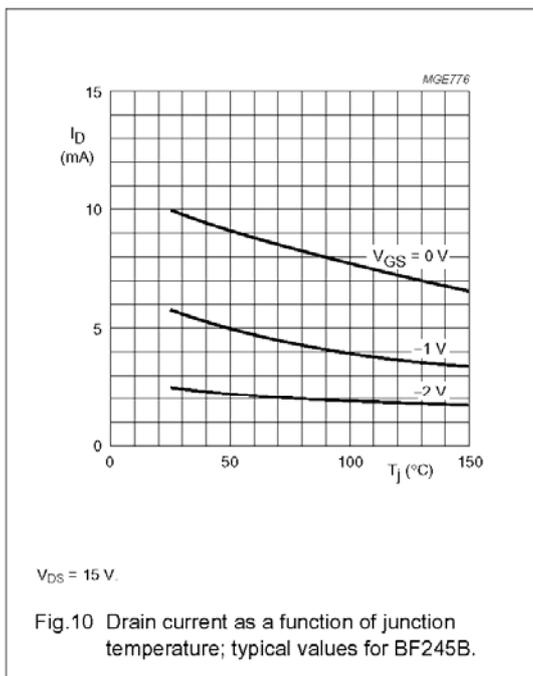
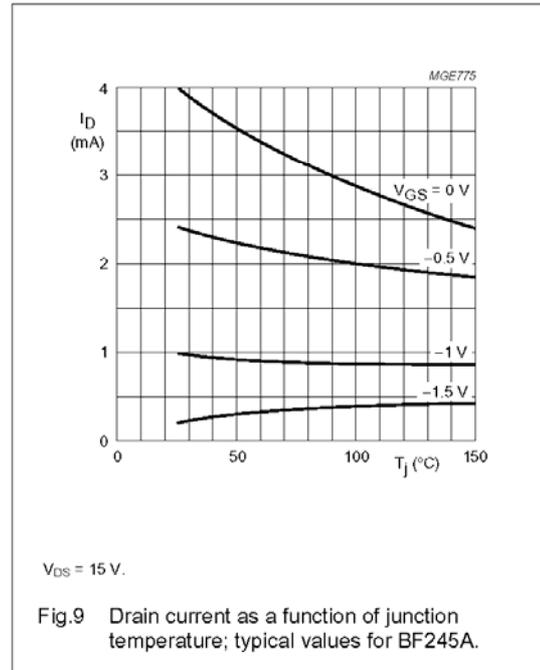
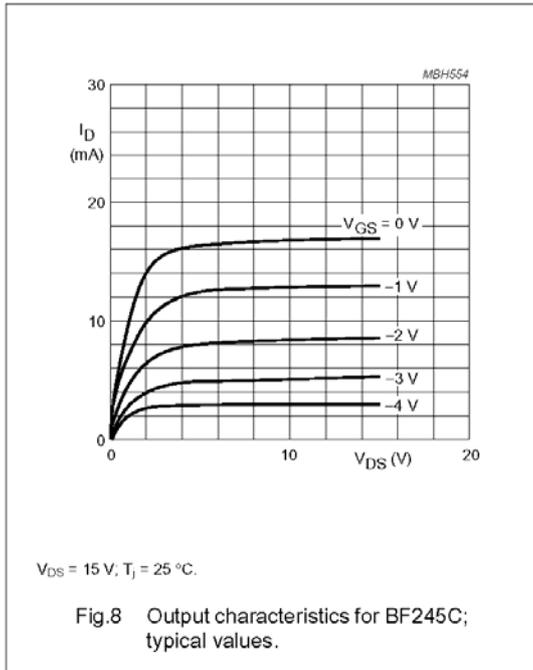
N-channel silicon field-effect transistors

BF245A; BF245B; BF245C



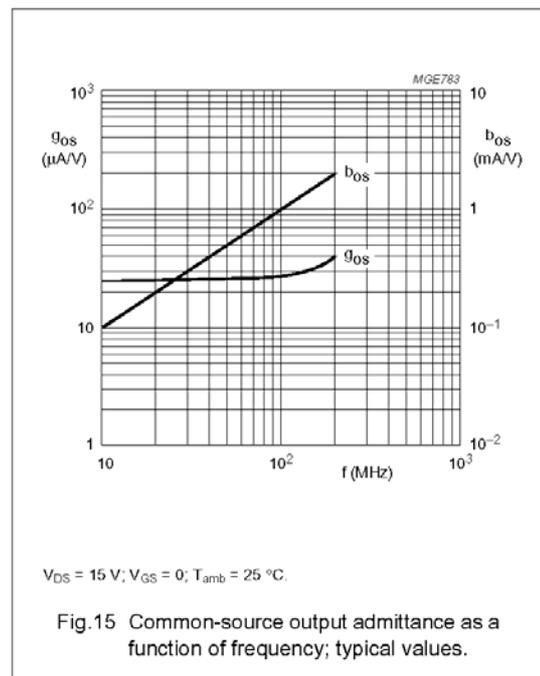
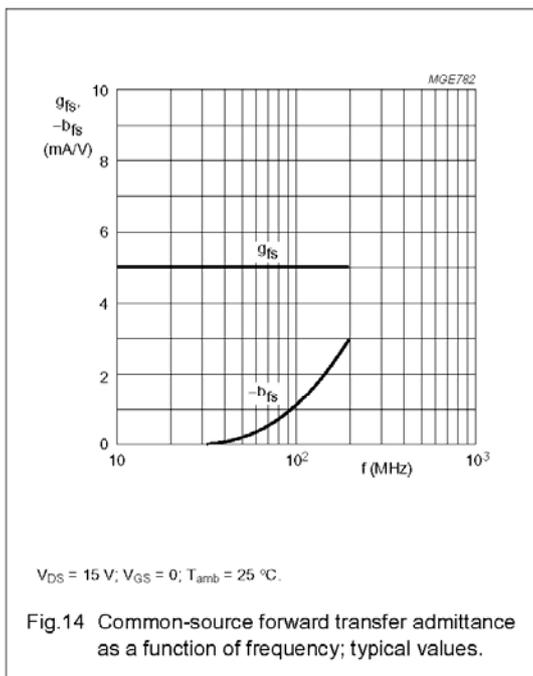
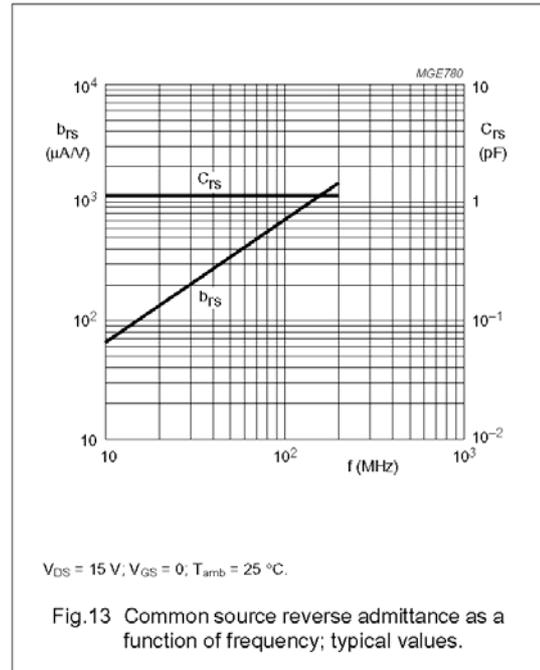
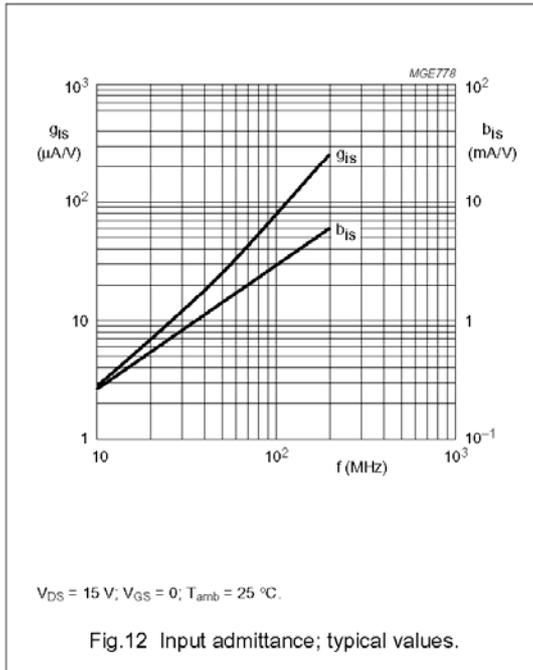
N-channel silicon field-effect transistors

BF245A; BF245B; BF245C



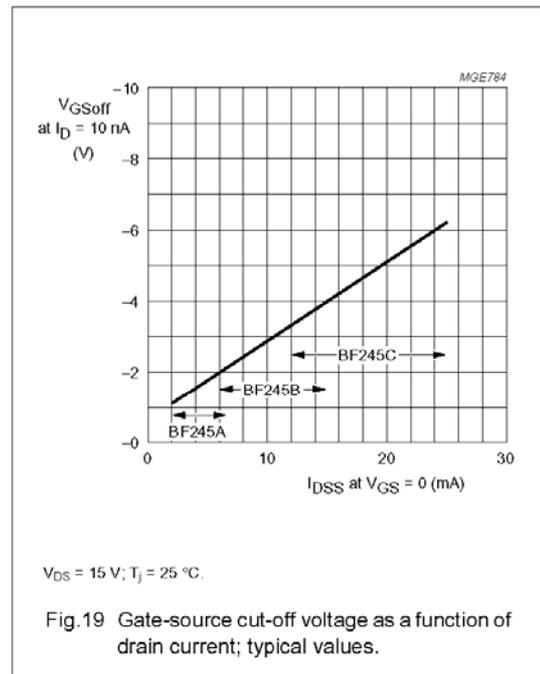
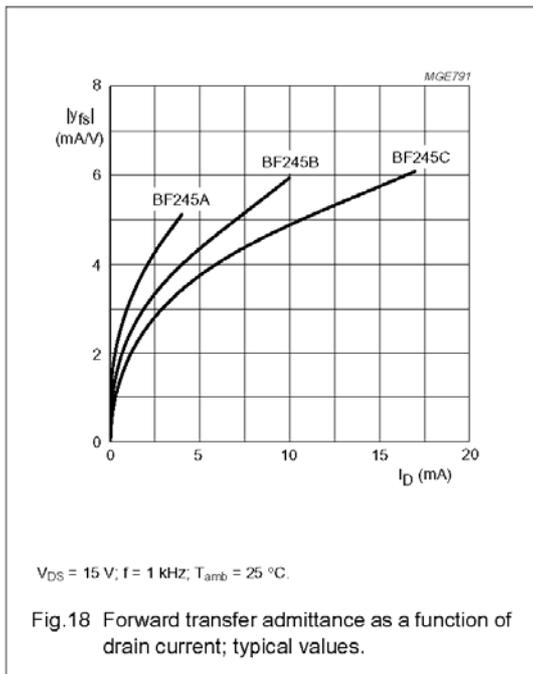
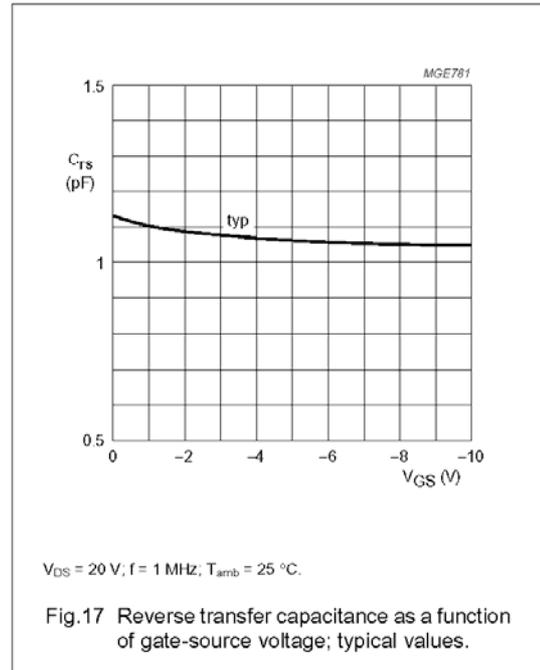
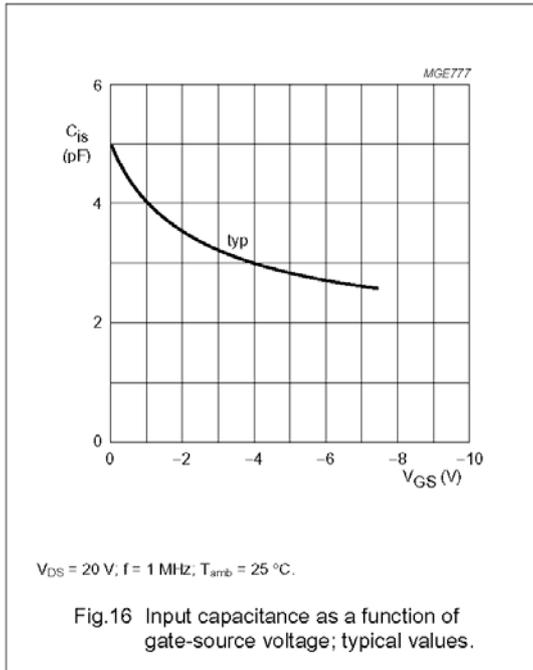
N-channel silicon field-effect transistors

BF245A; BF245B; BF245C



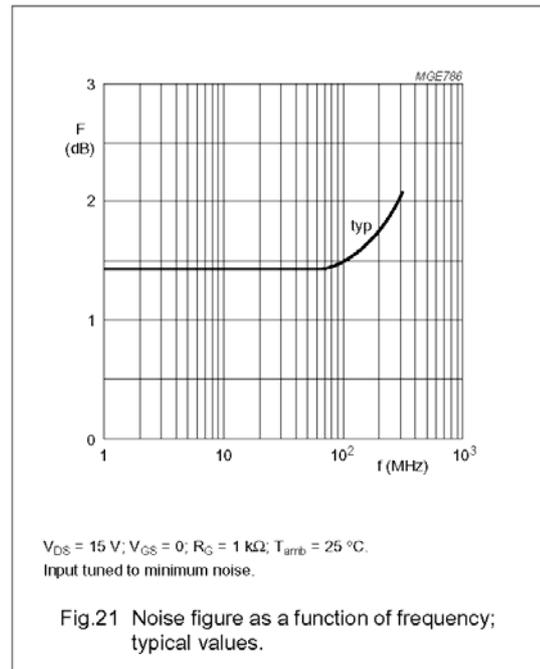
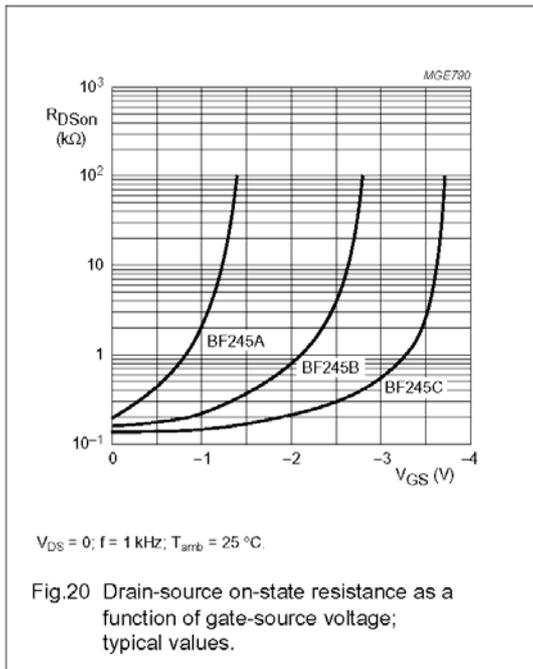
N-channel silicon field-effect transistors

BF245A; BF245B; BF245C



N-channel silicon field-effect transistors

BF245A; BF245B; BF245C



## 5.10.2 MPF102

### MPF102

Thermal Clad is a trademark of the Bergquist Company.

**ON Semiconductor** and  are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

#### PUBLICATION ORDERING INFORMATION

##### Literature Fulfillment:

Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** ONlit@hibbertco.com

**N. American Technical Support:** 800-282-9855 Toll Free USA/Canada

**JAPAN:** ON Semiconductor, Japan Customer Focus Center  
4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-0031  
**Phone:** 81-3-5740-2700  
**Email:** r14525@onsemi.com

**ON Semiconductor Website:** <http://onsemi.com>

For additional information, please contact your local Sales Representative.

MPF102/D

ON Semiconductor™

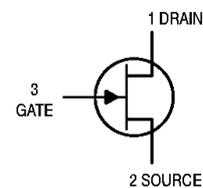
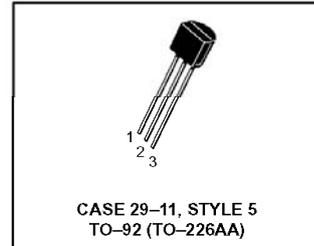


## JFET VHF Amplifier N-Channel – Depletion

# MPF102

### MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain–Source Voltage	$V_{DS}$	25	Vdc
Drain–Gate Voltage	$V_{DG}$	25	Vdc
Gate–Source Voltage	$V_{GS}$	–25	Vdc
Gate Current	$I_G$	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	350 2.8	mW mW/°C
Junction Temperature Range	$T_J$	125	°C
Storage Temperature Range	$T_{stg}$	–65 to +150	°C



### ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
----------------	--------	-----	-----	------

#### OFF CHARACTERISTICS

Gate–Source Breakdown Voltage ( $I_G = -10 \mu\text{Adc}$ , $V_{DS} = 0$ )	$V_{(BR)GSS}$	–25	–	Vdc
Gate Reverse Current ( $V_{GS} = -15 \text{Vdc}$ , $V_{DS} = 0$ ) ( $V_{GS} = -15 \text{Vdc}$ , $V_{DS} = 0$ , $T_A = 100^\circ\text{C}$ )	$I_{GSS}$	–	–2.0 –2.0	nAdc $\mu\text{Adc}$
Gate–Source Cutoff Voltage ( $V_{DS} = 15 \text{Vdc}$ , $I_D = 2.0 \text{nAdc}$ )	$V_{GS(off)}$	–	–8.0	Vdc
Gate–Source Voltage ( $V_{DS} = 15 \text{Vdc}$ , $I_D = 0.2 \text{mAdc}$ )	$V_{GS}$	–0.5	–7.5	Vdc

#### ON CHARACTERISTICS

Zero–Gate–Voltage Drain Current <sup>(1)</sup> ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0 \text{Vdc}$ )	$I_{DSS}$	2.0	20	mAdc
--	-----------	-----	----	------

#### SMALL-SIGNAL CHARACTERISTICS

Forward Transfer Admittance <sup>(1)</sup> ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{kHz}$ ) ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 100 \text{MHz}$ )	$ y_{fs} $	2000 1600	7500 –	$\mu\text{mhos}$
Input Admittance ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 100 \text{MHz}$ )	$\text{Re}(y_{is})$	–	800	$\mu\text{mhos}$
Output Conductance ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 100 \text{MHz}$ )	$\text{Re}(y_{os})$	–	200	$\mu\text{mhos}$
Input Capacitance ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{MHz}$ )	$C_{iss}$	–	7.0	pF
Reverse Transfer Capacitance ( $V_{DS} = 15 \text{Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{MHz}$ )	$C_{rss}$	–	3.0	pF

1. Pulse Test; Pulse Width  $\leq 630 \text{ms}$ , Duty Cycle  $\leq 10\%$ .

**MPF102**

**COMMON SOURCE CHARACTERISTICS**  
**ADMITTANCE PARAMETERS**  
 (V<sub>DS</sub> = 15 Vdc, T<sub>channel</sub> = 25°C)

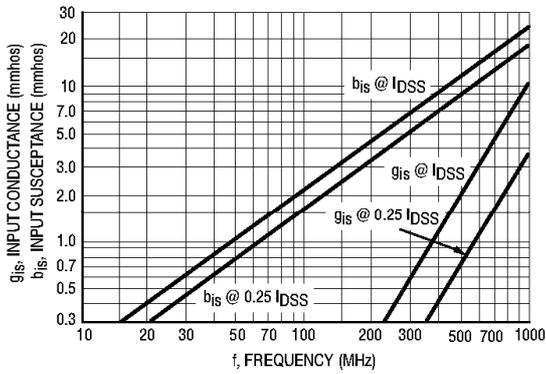


Figure 1. Input Admittance ( $y_{1s}$ )

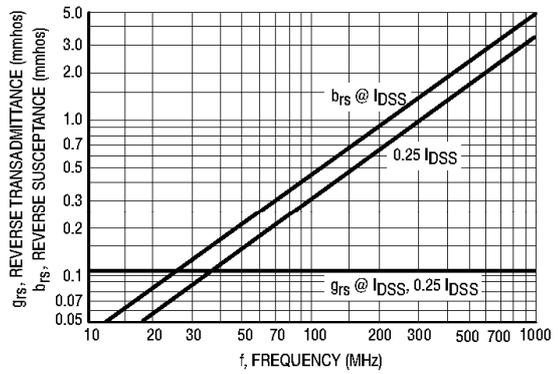


Figure 2. Reverse Transfer Admittance ( $y_{rs}$ )

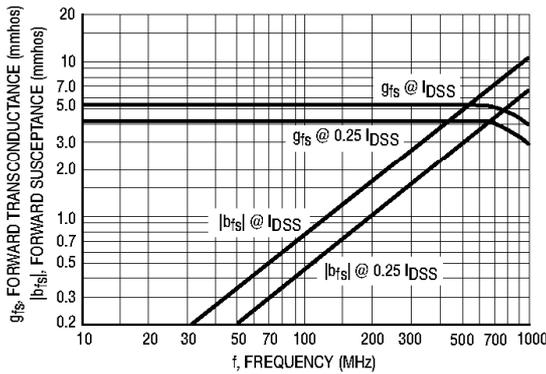


Figure 3. Forward Transadmittance ( $y_{fs}$ )

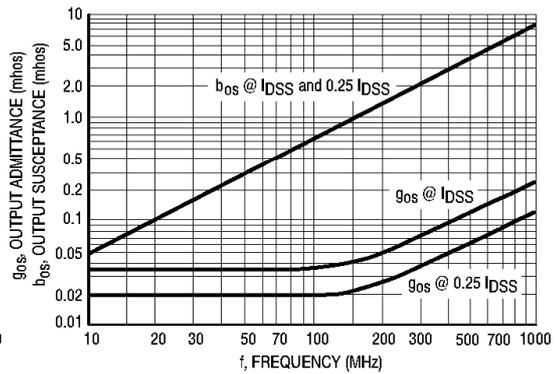


Figure 4. Output Admittance ( $y_{os}$ )

**MPF102**

**COMMON GATE CHARACTERISTICS**  
**ADMITTANCE PARAMETERS**  
 (VDG = 15 Vdc, Tchannel = 25°C)

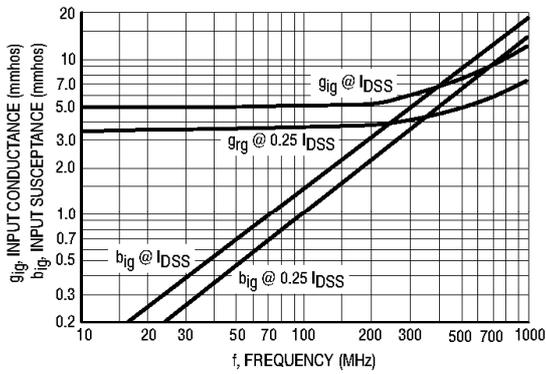


Figure 9. Input Admittance ( $y_{ig}$ )

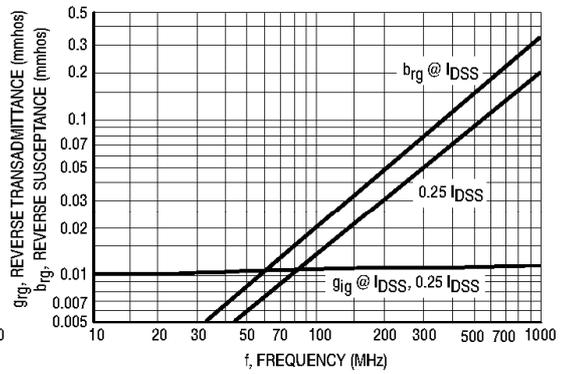


Figure 10. Reverse Transfer Admittance ( $y_{rg}$ )

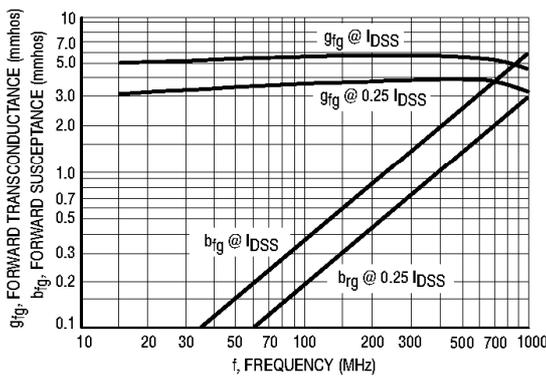


Figure 11. Forward Transfer Admittance ( $y_{fg}$ )

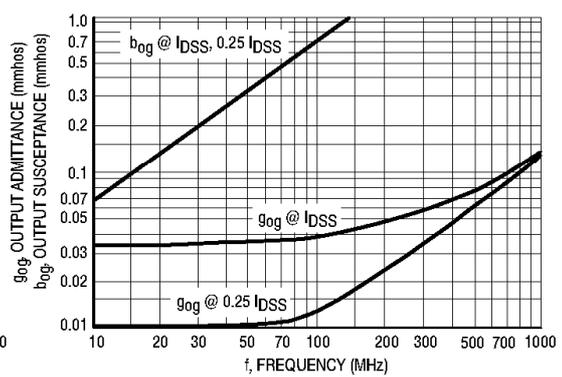


Figure 12. Output Admittance ( $y_{og}$ )

**5.10.3 2N5114, 2N5115, 2N5116**



**TECHNICAL DATA**

**P-CHANNEL J-FET**  
*Qualified per MIL-PRF-19500/476*

**Devices**

<b>2N5114</b>	<b>2N5115</b>	<b>2N5116</b>
---------------	---------------	---------------

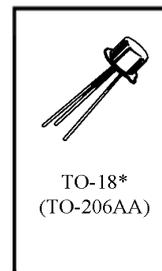
**Qualified Level**

<b>JAN</b>
<b>JANTX</b>
<b>JANTXV</b>

**ABSOLUTE MAXIMUM RATINGS (T<sub>C</sub> = +25°C unless otherwise noted)**

Parameters / Test Conditions	Symbol	All Devices	Unit
Gate-Source Voltage <sup>(1)</sup>	V <sub>GS</sub>	30	Vdc
Drain-Source Voltage <sup>(1)</sup>	V <sub>DS</sub>	30	Vdc
Drain-Gate Voltage	V <sub>DG</sub>	30	Vdc
Gate Current	I <sub>G</sub>	50	mAdc
Power Dissipation T <sub>A</sub> = +25°C <sup>(2)</sup>	P <sub>T</sub>	0.500	W
Storage Temperature Range	T <sub>stg</sub>	-65 to +200	°C

- (1) Symmetrical geometry allows operation of those units with source/drain leads interchanged.  
(2) Derate linearly 3.0 mW/°C for T<sub>A</sub> > 25°C.



\*See appendix A for package outline

**ELECTRICAL CHARACTERISTICS (T<sub>C</sub> = +25°C unless otherwise noted)**

Parameters / Test Conditions	Symbol	Min.	Max.	Units
Gate-Source Breakdown Voltage V <sub>DS</sub> = 0, I <sub>G</sub> = 1.0 μAdc	V <sub>(BR)GSS</sub>	30		Vdc
Drain-Source "On" State Voltage V <sub>GS</sub> = 0 Vdc, I <sub>D</sub> = -15 mAdc V <sub>GS</sub> = 0 Vdc, I <sub>D</sub> = -7.0 mAdc V <sub>GS</sub> = 0 Vdc, I <sub>D</sub> = -3.0 mAdc	V <sub>DS(on)</sub>		1.3 0.8 0.6	Vdc
Gate Reverse Current V <sub>DS</sub> = 0, V <sub>GS</sub> = 20 Vdc	I <sub>GSS</sub>		500	pAdc
Drain Current Cutoff V <sub>GS</sub> = 12 Vdc, V <sub>DS</sub> = -15 Vdc V <sub>GS</sub> = 7.0 Vdc, V <sub>DS</sub> = -15 Vdc V <sub>GS</sub> = 5.0 Vdc, V <sub>DS</sub> = -15 Vdc	I <sub>D(off)</sub>		-500 -500 -500	pAdc pAdc pAdc

2N5114, 2N5115, 2N5116 JAN SERIES

ELECTRICAL CHARACTERISTICS ( $T_c = 25^\circ\text{C}$  unless otherwise noted) (con't)

Parameters / Test Conditions	Symbol	Min.	Max.	Units		
Zero Gate Voltage Drain Current $V_{GS} = 0, V_{DS} = -18 \text{ Vdc}$ $V_{GS} = 0, V_{DS} = -15 \text{ Vdc}$ $V_{GS} = 0, V_{DS} = -15 \text{ Vdc}$	2N5114 2N5115 2N5116	$I_{DSS}$	-30 -15 -5.0	-90 -60 -25	mA <sub>dc</sub>	
Small-Signal Drain - Source "On" State Resistance $V_{GS} = 0, I_D = -1.0 \text{ mAdc}$  $V_{GS} = 0, I_D = 0; f = 1 \text{ kHz}$	2N5114 2N5115 2N5116  2N5114 2N5115 2N5116	$r_{ds(on)}$		75 100 175  75 100 175	$\Omega$	
Gate-Source Cutoff $V_{DS} = -15, I_D = 1.0 \text{ mAdc}$ $V_{DS} = -15, I_D = 1.0 \text{ mAdc}$ $V_{DS} = -15, I_D = 1.0 \text{ mAdc}$	2N5114 2N5115 2N5116	$V_{GS(off)}$	5.0 3.0 1.0	10 6.0 4.0	V <sub>dc</sub>	
Small-Signal, Common-Source Short-Circuit Reverse Transfer Capacitance $V_{GS} = 12 \text{ Vdc}, V_{DS} = 0$ $V_{GS} = 7.0 \text{ Vdc}, V_{DS} = 0$ $V_{GS} = 5.0 \text{ Vdc}, V_{DS} = 0$	2N5114 2N5115 2N5116	$C_{rss}$		7.0	pF	
Small-Signal, Common-Source Short-Circuit Input Capacitance $V_{GS} = 0, V_{DS} = -15 \text{ Vdc}, f = 1.0 \text{ MHz}$	2N5114, 2N5115 2N5116	$C_{iss}$		25 27	pF	
Turn-On Delay Time 2N5114 2N5115 2N5116	See Figure 2 of MIL-PRF- 19500/476	$t_{don}$		6 10 25	$\eta\text{s}$	
Rise Time 2N5114 2N5115 2N5116			$t_r$			10 20 35
Turn-Off Delay Time 2N5114 2N5115 2N5116				$t_{doff}$		

#### **5.10.4      BS170**



April 1995

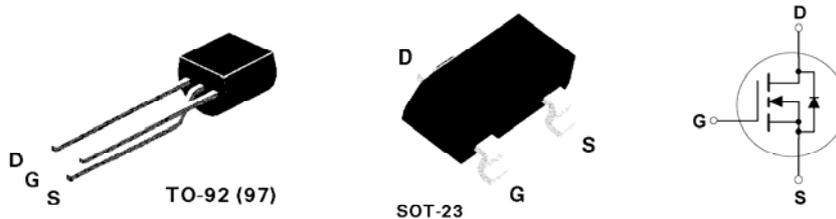
**BS170 / MMBF170**  
**N-Channel Enhancement Mode Field Effect Transistor**

**General Description**

These N-Channel enhancement mode field effect transistors are produced using Fairchild's proprietary, high cell density, DMOS technology. These products have been designed to minimize on-state resistance while provide rugged, reliable, and fast switching performance. They can be used in most applications requiring up to 500mA DC. These products are particularly suited for low voltage, low current applications such as small servo motor control, power MOSFET gate drivers, and other switching applications.

**Features**

- High density cell design for low  $R_{DS(ON)}$ .
- Voltage controlled small signal switch.
- Rugged and reliable.
- High saturation current capability.



**Absolute Maximum Ratings**  $T_A = 25^\circ\text{C}$  unless otherwise noted

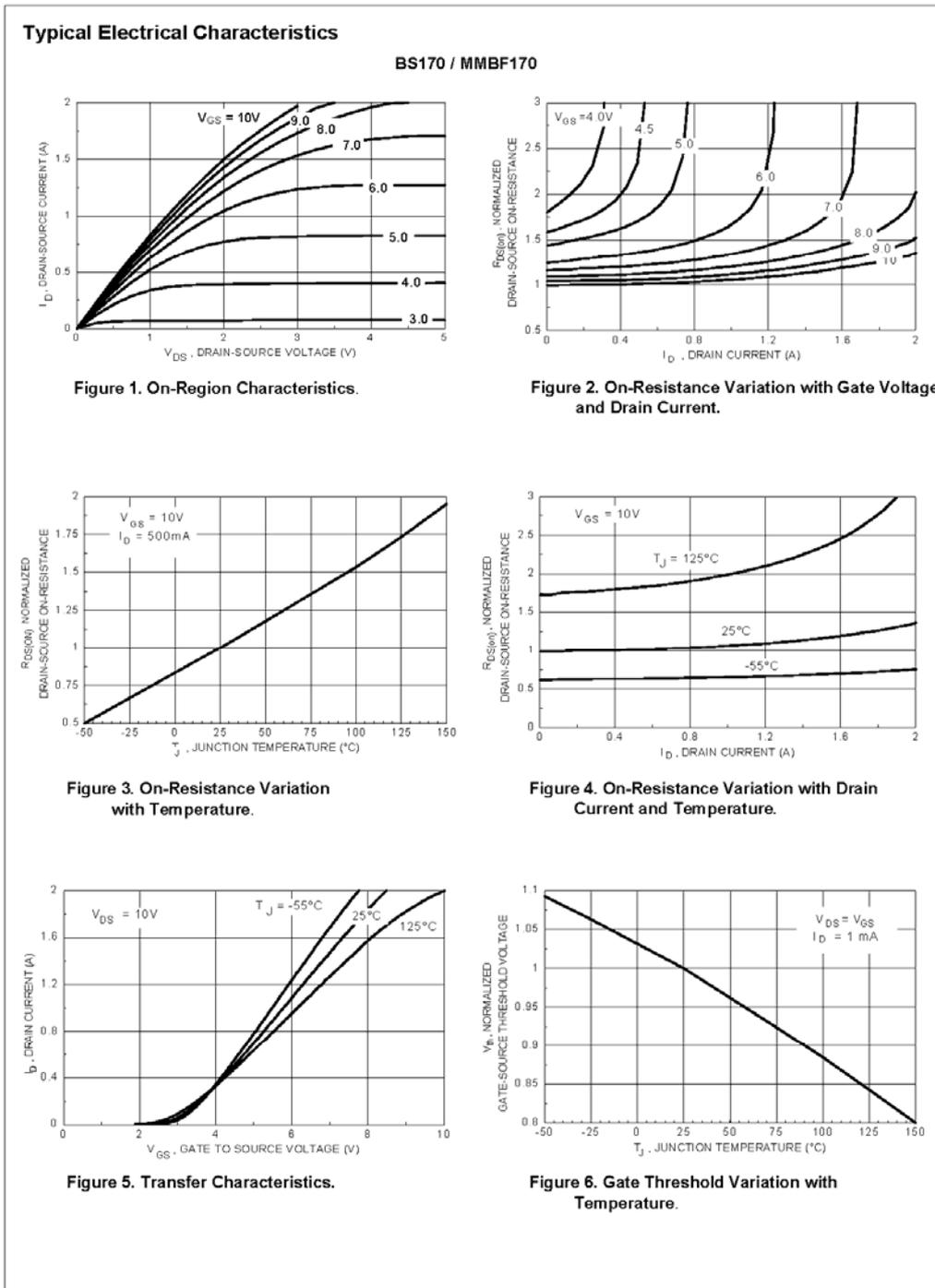
Symbol	Parameter	BS170	MMBF170	Units
$V_{DS}$	Drain-Source Voltage		60	V
$V_{DGR}$	Drain-Gate Voltage ( $R_{GS} \leq 1M\Omega$ )		60	V
$V_{GSS}$	Gate-Source Voltage		$\pm 20$	V
$I_D$	Drain Current - Continuous - Pulsed	500	500	mA
		1200	800	
$P_D$	Maximum Power Dissipation Derate Above $25^\circ\text{C}$	830	300	mW
		6.6	2.4	
$T_J, T_{STG}$	Operating and Storage Temperature Range	-55 to 150		$^\circ\text{C}$
$T_L$	Maximum Lead Temperature for Soldering Purposes, 1/16" from Case for 10 Seconds	300		$^\circ\text{C}$

**THERMAL CHARACTERISTICS**

Symbol	Parameter	BS170	MMBF170	Units
$R_{\theta JA}$	Thermal Resistacne, Junction-to-Ambient	150	417	$^\circ\text{C/W}$

<b>Electrical Characteristics</b> ( $T_A = 25^\circ\text{C}$ unless otherwise noted)							
Symbol	Parameter	Conditions	Type	Min	Typ	Max	Units
<b>OFF CHARACTERISTICS</b>							
$BV_{DSS}$	Drain-Source Breakdown Voltage	$V_{GS} = 0\text{ V}, I_D = 100\ \mu\text{A}$	All	60			V
$I_{DSS}$	Zero Gate Voltage Drain Current	$V_{DS} = 25\text{ V}, V_{GS} = 0\text{ V}$	All			0.5	$\mu\text{A}$
$I_{GSSF}$	Gate - Body Leakage, Forward	$V_{GS} = 15\text{ V}, V_{DS} = 0\text{ V}$	All			10	nA
<b>ON CHARACTERISTICS</b> (Note 1)							
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS} = V_{GS}, I_D = 1\text{ mA}$	All	0.8	2.1	3	V
$R_{DS(on)}$	Static Drain-Source On-Resistance	$V_{GS} = 10\text{ V}, I_D = 200\text{ mA}$	All		1.2	5	$\Omega$
$g_{FS}$	Forward Transconductance	$V_{DS} = 10\text{ V}, I_D = 200\text{ mA}$	BS170		320		mS
		$V_{DS} \geq 2 V_{DS(on)}, I_D = 200\text{ mA}$	MMBF170		320		
<b>DYNAMIC CHARACTERISTICS</b>							
$C_{iss}$	Input Capacitance	$V_{DS} = 10\text{ V}, V_{GS} = 0\text{ V},$ $f = 1.0\text{ MHz}$	All		24	40	pF
$C_{oss}$	Output Capacitance		All		17	30	pF
$C_{rss}$	Reverse Transfer Capacitance		All		7	10	pF
<b>SWITCHING CHARACTERISTICS</b> (Note 1)							
$t_{on}$	Turn-On Time	$V_{DS} = 25\text{ V}, I_D = 200\text{ mA},$ $V_{GS} = 10\text{ V}, R_{GEN} = 25\ \Omega$	BS170			10	ns
		$V_{DS} = 25\text{ V}, I_D = 500\text{ mA},$ $V_{GS} = 10\text{ V}, R_{GEN} = 50\ \Omega$	MMBF170			10	
$t_{off}$	Turn-Off Time	$V_{DS} = 25\text{ V}, I_D = 200\text{ mA},$ $V_{GS} = 10\text{ V}, R_{GEN} = 25\ \Omega$	BS170			10	ns
		$V_{DS} = 25\text{ V}, I_D = 500\text{ mA},$ $V_{GS} = 10\text{ V}, R_{GEN} = 50\ \Omega$	MMBF170			10	
Note: 1. Pulse Test: Pulse Width $\leq 300\ \mu\text{s}$ , Duty Cycle $\leq 2.0\%$ .							

BS170 Rev. C / MMBF170 Rev. D



Typical Electrical Characteristics (continued)

BS170 / MMBF170

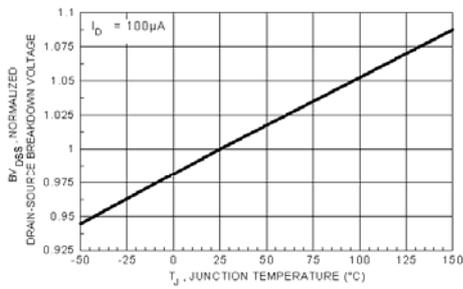


Figure 7. Breakdown Voltage Variation with Temperature.

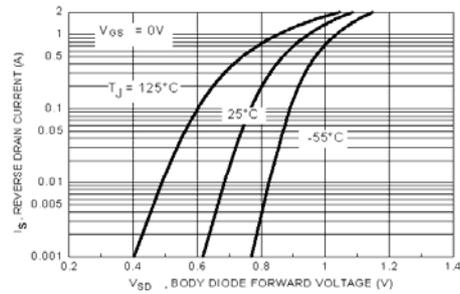


Figure 8. Body Diode Forward Voltage Variation with Current and Temperature.

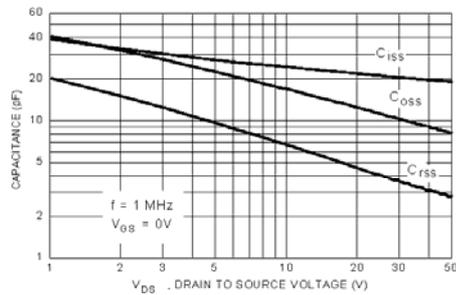


Figure 9. Capacitance Characteristics.

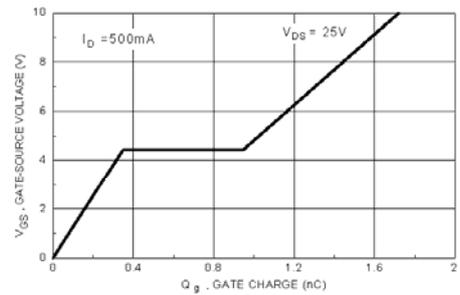


Figure 10. Gate Charge Characteristics.

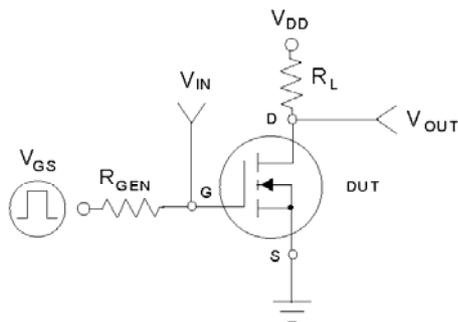


Figure 11. Switching Test Circuit.

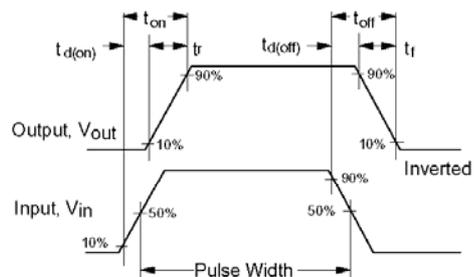


Figure 12. Switching Waveforms.

BS170 Rev. C / MMBF170 Rev. D

Typical Electrical Characteristics (continued)

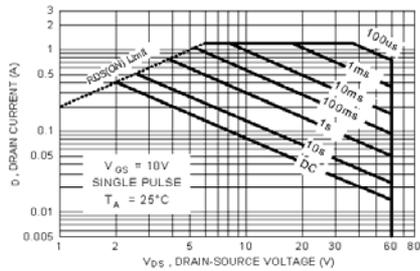


Figure 13. BS170 Maximum Safe Operating Area.

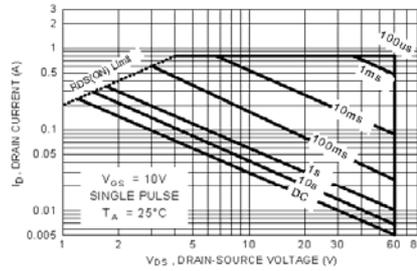


Figure 14. MMBF170 Maximum Safe Operating Area.

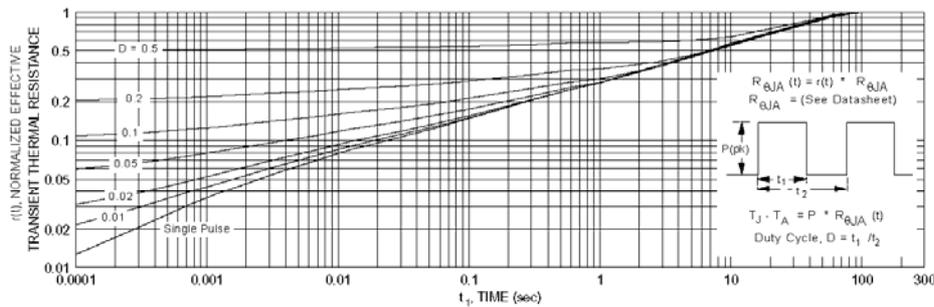


Figure 15. TO-92, BS170 Transient Thermal Response Curve.

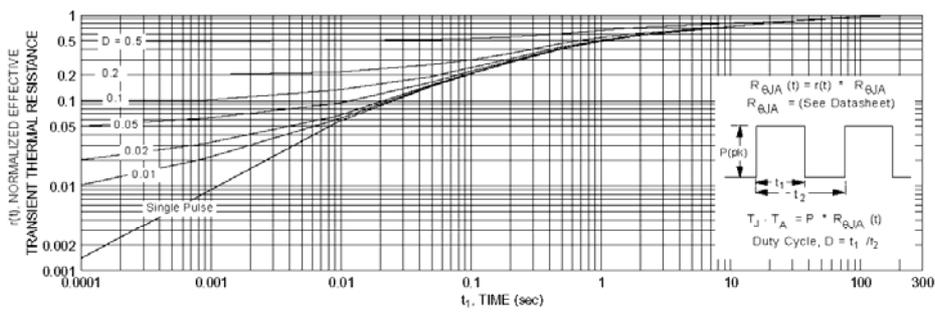


Figure 16. SOT-23, MMBF170 Transient Thermal Response Curve.

BS170 Rev. C / MMBF170 Rev. D